

Digital Chip Testing with Agilent 93000 SOC Series (上)

文/陳正斌

摘要

由於本中心舊有之晶片量測系統 IMS ATS200 使用已達 10 年，故障頻繁，已無法對各界提供良好服務，為了提升國內學術界透過本中心下線之晶片量測環境，以及產業未來發展，中心於西元 2004 年引進『Agilent 93000 SOC Series』混合訊號自動測試設備，該機台特色為模組化設計，可針對不同類別的 IC 選購不同的模組，來達到在單一平台上就可以測試各式各樣的 IC，包括了純數位 IC、混合訊號 IC 與 SoC 系統單晶片。在引進此設備後，中心將建立嶄新的晶片測試環境，提供各界更良好晶片測試環境。本文將對中心引進的『混合訊號自動測試設備』功能以及如何使用此設備來進行數位晶片測試作一簡單介紹。

一、簡介

CIC 目前所引進 Agilent 93000 SOC Series 自動測試設備其外觀如圖 1 所示，其中 testhead 內部即為所有 channel board 所存放位置，待測試的 IC 則是透過 DUT board 與 DUT interface 與 testhead 內部的 channel board 連接在一起，manipulator 內部放置鉛塊來平衡 testhead 的重量，support rack 內部放置工作站或其他外加儀器。CIC 目前所購買的模組其功能概述如下：在數位模組中，支援的 data channel 數量達 320，而每個 channel 的 data rate 更達到 660Mbps。至於 vector memory 的容量，每個 channel 有 28MVectors，若作為 scan 測試使用時，由於 scan pattern 的 waveform 變化較少，因此每個 channel 的 scan memory 的容量可至 84MVectors。至於類比的 Instrument 共有 4 組，二組為 Arbitrary Waveform Generator (AWG)，可以產生類比量測所需的訊號給混合訊號或類比的晶片，二組為 Digitizer，可以將混合訊號或類比晶片所產生的類比訊號進行取樣，加上分析進而得到所要的量測結果。AWG 的規格分別為 16bits resolution、30Msps sampling rate 以及 12bits resolution、500Msps sampling rate。Digitizer 的規格分別為 16bits resolution、3MHz bandwidth 以及 12bits resolution、100MHz bandwidth。最後提供待測 IC 電源的模組共有 8 組電源，可同時產生 8 種不同的電源給待測 IC，每組電源可支援的規格為 7V 的電壓以及 6A 的電流。機台的功能強大，軟體操作複雜，因此本文將先針對如何利用此機台對數位 IC 進行測試進行說明，讓讀者可在短時間內瞭解如何操作此機台，來進行數位 IC 測試。



圖 1 Agilent 93000 SOC Series 外觀圖
圖片來源：Agilent 93000 SOC Series 型錄

二、Test Development Flow

1. 測試開發流程總覽

使用測試機台進行數位 IC 測試的流程如圖 2 所示，共分成 test plan、design a DUT board、pin configuration、level setup、timing setup、vector setup、testflow setup、testing the device 以及 result analysis 等九大步驟。在本節中我們將分別先對九個步驟作解釋說明。

在進行 IC 測試之前，第一個步驟 test plan 代表必須事先規劃想要測試的項目有那些：如 functional 的測試、scan pattern 的測試、power dissipation 量測等；第二個步驟 design a DUT board 指的是必須透過一個 DUT board 將待測 IC 以及 testhead 上的 pogo pin 連接在一起，如此才能進行 IC 測試，CIC 針對目前提供的 8 種 IC package (DIP48、PLCC68、PLCC84、CQFP100、CQFP128、CQFP144、CQFP160、CQFP208) 都有對應的 DUT board 可以使用；第三個步驟開始一直到第九個步驟，便是使用測試機台的控制軟體來進行測試程式的開發，第三個步驟 pin configuration 是設定待測 IC 每個 signal pin 的名稱，以及每個 signal pin 連接到那個 test channel，還有使用那些 device power supply 的模組來供應電源給待測 IC。

第四個步驟 level setup 是設定 power supply 的 voltage 大小，current limit 的大小，訊號的 drive voltage 大小(VIL、VIH)，訊號 compare 的 voltage threshold 大小(VOL、VOH)等；第五個步驟 timing setup，主要設定訊號波形的格式，以及 system cycle 的週期時間(period time)；第六個步驟 vector setup，將所要測試的測試向量，透過 waveform 格式的設定，描述成特定的 vector 格式。

第七個步驟 testflow setup 是將想要測試的項目，設定成一個流程；第八個步驟 testing the device，開始進行測試，機台會根據前面步驟所作的設定產生訊號給待測 IC，同時也會量測待

測 IC 所產生的 response，並且與預期的 response 作比較，若比較相同就是通過測試(PASS)，若不相同就是有錯誤(FAIL)，第九個步驟 result analysis，分析量測的結果，可使用 timing diagram 來看波形、使用 error map 來看那些地方有錯誤、使用 shmoo plot 來看待測 IC 的特性圖。

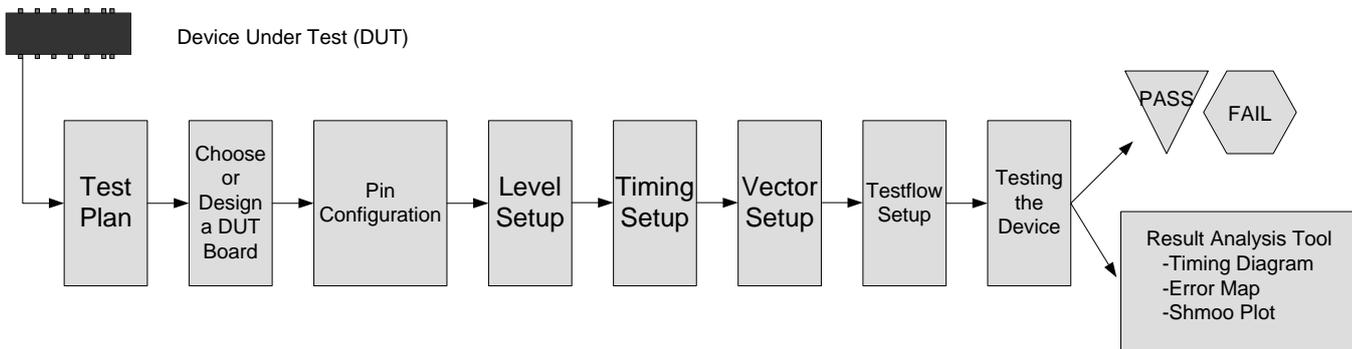


圖 2 測試開發流程圖

三、Design a DUT Board

1. CIC 提供的 DUT Board 總覽

CIC 提供 8 種 IC 包裝，由於機台的 digital channel 數量高達 320，因此提供的 DUT board 共有三種，其外觀以及連接至 testhead 的照片如圖 3 所示，DIP48、CQFP128 與 CQFP144 三種 package 作在同一片 DUT board，PLCC68、PLCC84 與 CQFP160 作在同一片 DUT board，CQFP100 與 CQFP208 作在同一片 DUT board，每種 DUT board (loadboard) 上所有 package 的 pin count 數量相加，都不會超過 320，如此可以減少 DUT board 的種類。由於每個學生要測試的 IC 其 power pin 的腳位並不是都一樣，因此在 DUT board 上必須透過接線，將 IC 的 power pin 連接到機台上的 device power supply，接線的位置在 DUT board 的另外一面，如圖 4 所示。

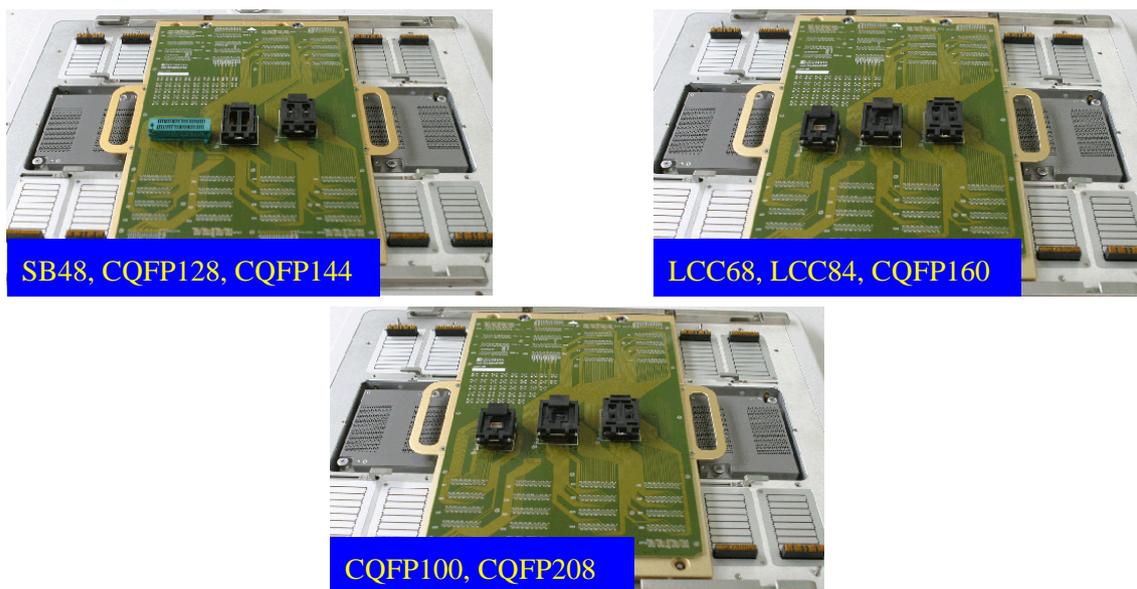


圖 3 DUT board

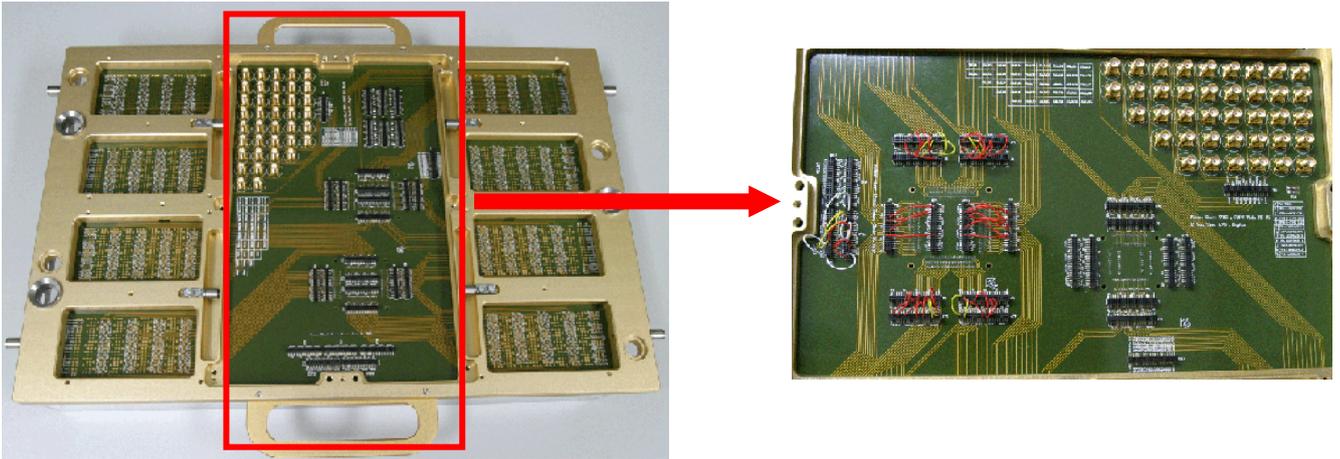


圖 4 DUT board 連接電源線

四、Software Overview

1. Software Overview

機台的控制軟體為 SmarTest，其示意圖如圖 5 所示，所有相關的設定 pin configuration、level setup、timing setup、vector setup、testflow setup、testing the device 以及 result analysis 等，都是在 SmarTest 中進行，設定完成後，機台便依照所設定的內容產生電源與訊號給待測 IC，並且量測比較待測 IC 所產生的 response。開啟 SmarTest 軟體的方式可分為 offline mode 與 online mode，online mode 即有連接機台，可以進行測試，offline mode 只能純粹進行設定，不能進行測試。進入 offline mode 的指令為 `unix%> HPSmarTest -o &`。進入 online mode 的指令為 `unix%> HPSmarTest &`。

進入 SmarTest 後，可以看到三個視窗，分別是 main toolbar，report window 以及 operation control window，如圖 6 所示。main toolbar 主要用於開啟相關軟體的一個操作介面，report window 顯示了所有相關的 log 以及測試結果，operation control window 是設定測試的方式是工程驗證還是作量產測試，在 report window 中除了顯示相關的 log 以及測試結果外，其中 tester state 指示目前是否有連接到機台，tester operation 指示目前機台正在進行的動作。離開 SmarTest 軟體的方式為在 main toolbar 選擇 **File** → **Quit** 便可以離開，在離開之前記得要將所作的相關設定如 pin configuration、level setup 等都儲存。

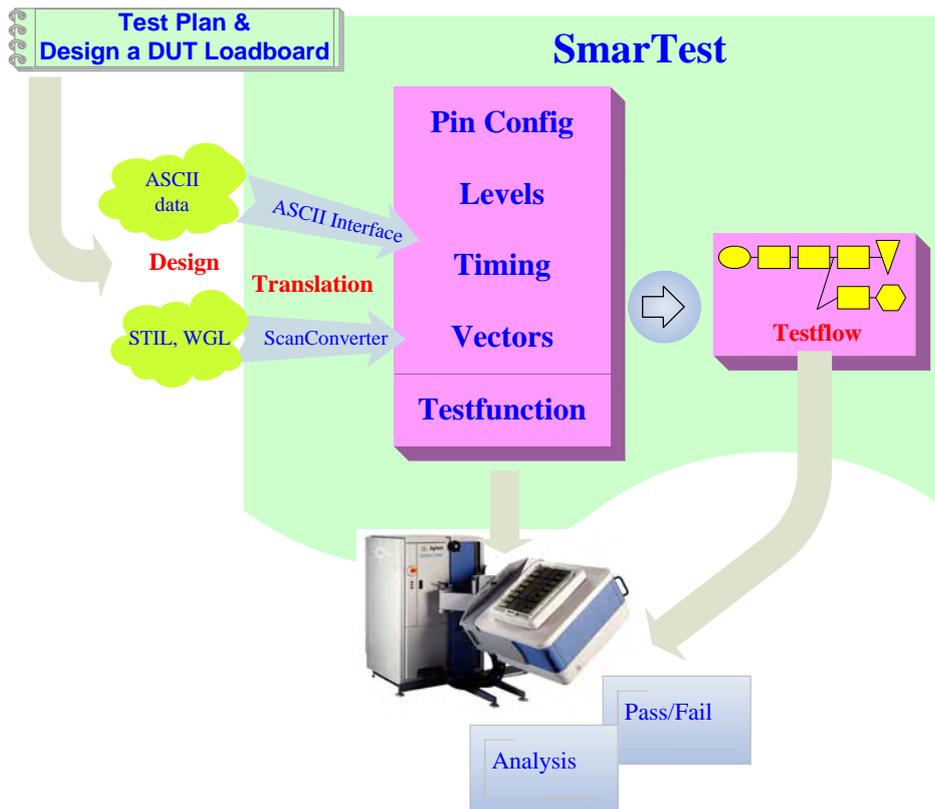


圖 5 SmarTest Overview

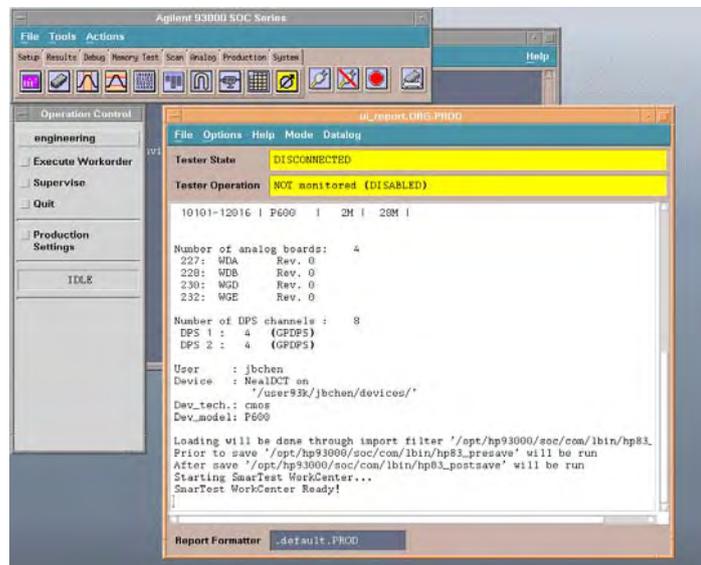


圖 6 SmarTest Start-up Screen

在 main toolbar (圖 7) 有 8 個 tabs 每個 tabs 下有不同的 buttons 可用來作不同的設定，main toolbar 的右側有 4 個固定的 buttons，分別是 connect、disconnect、break 以及 change device，connect 是用來連接測試機台上的 AC relay，disconnect 是用來切斷機台上的 AC relay，break 是用來停止 IC 的測試，change device 則是用來切換測試不同的 IC 或新增一個待測的 IC。

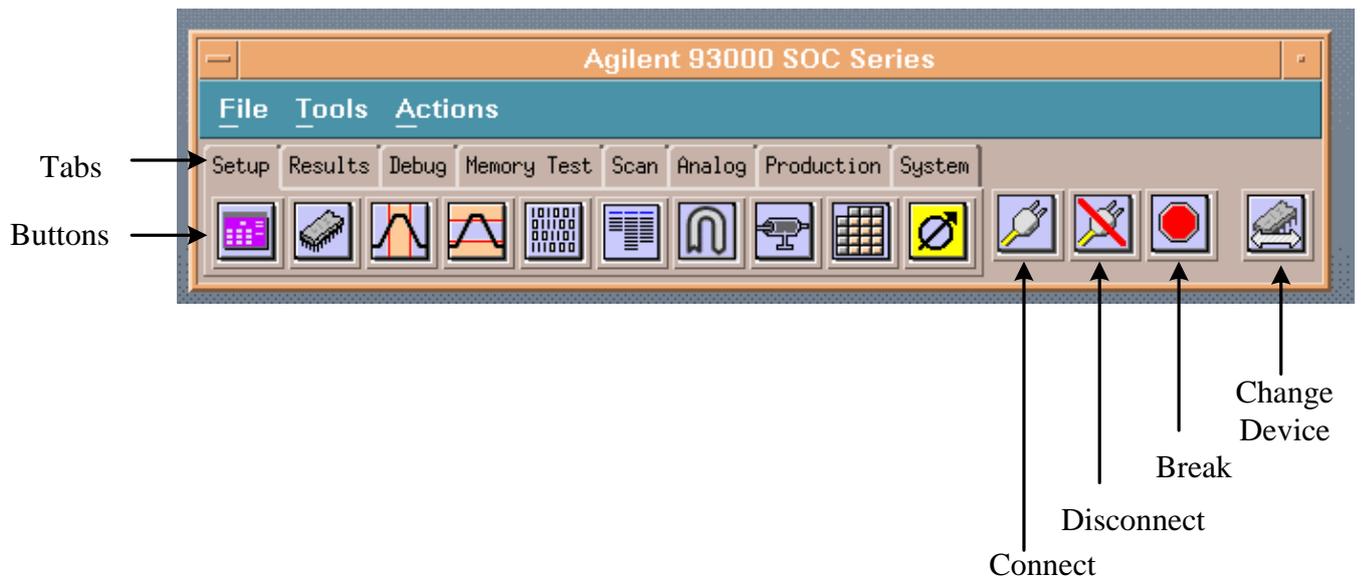


圖 7 SmarTest Main Toolbar

第一次要開始進行測試程式開發，必須先新增一個元件，在點選 change device 之後，會出現如圖 8 的畫面，在 Device 欄位中填入名稱後，點選 Create 後，會出現右邊的視窗，在 PPU tester model 欄位，選擇 P600 後，點選 create device 後，便會在目錄下，產生一個 device directory，在 device directory 下會有許多的目錄，如 configuration/、levels/、timing/、vectors/等，在不同的目錄中，可存放不同的設定檔案，如 pin configuration 的設定檔案，就是存放在 configuration/目錄，power supply 的 voltage 大小等相關的設定檔案，就是存放在 levels/目錄下。建立好 device 之後，便可以開始進行 pin configuration。

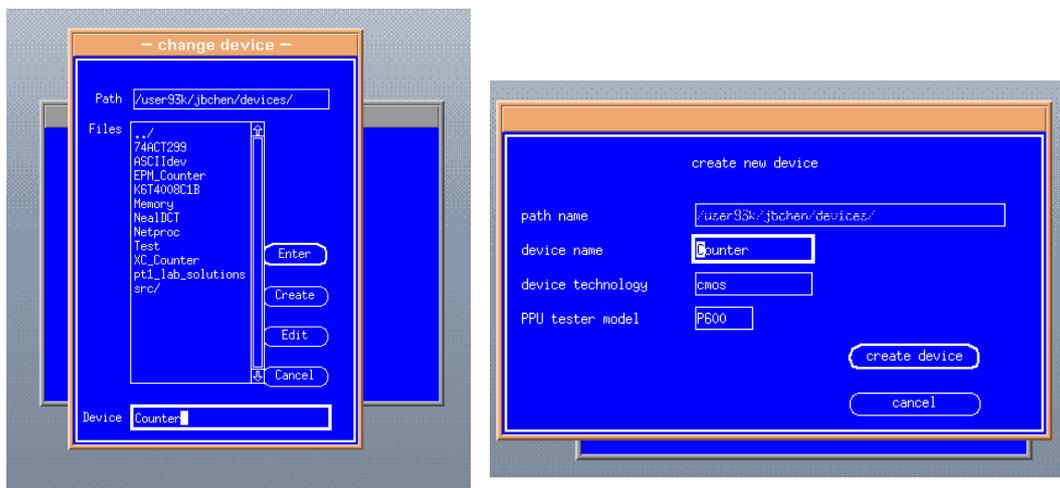


圖 8 Create Device

所有的設定都可以透過 data manager 來進行管理，點選 main toolbar 中的 data manager 按鈕後，會出現 data manager 頁面如圖 9，data manager 共分成三個頁面：Program page、Setup page、以及 Result page，要切換頁面，請選擇 Select → Program 切換到 Program page，Select → Setup 切換到 Setup page，Select → Result 切換到 Result page，進行 IC 測試時所要作的設定，都是在 Setup page 操作。

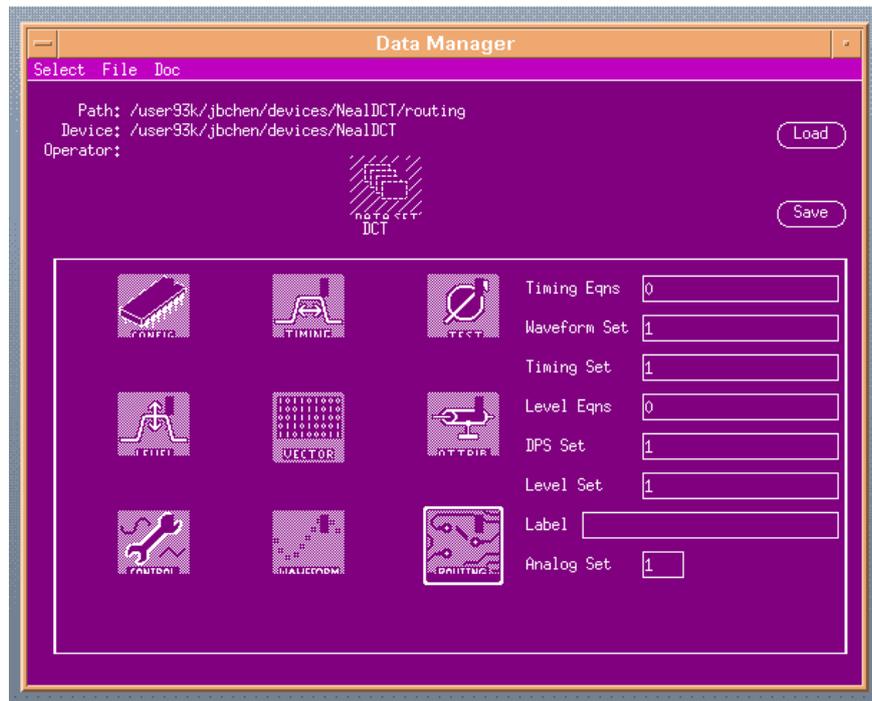


圖 9 Date Manager – Setup Page

2. Pin Configuration

要進行 pin configuration，必須在 data manager 的 setup page，點選 Config Icon 如圖 10 所示，接著選擇 File → Load，根據 IC 所使用的包裝，選擇一個 template 檔案，由於 CIC 所提供的 DUT board 上，每個 package 上的每根 pin，連接到測試機台的那個 test channel 已經固定，因此 CIC 可以事先提供每種包裝的 template 檔案，如此學生只需修改訊號的名稱，以及訊號的種類是輸入，還是輸出即可，不用去查詢此訊號是連接到機台上的那個 test channel。

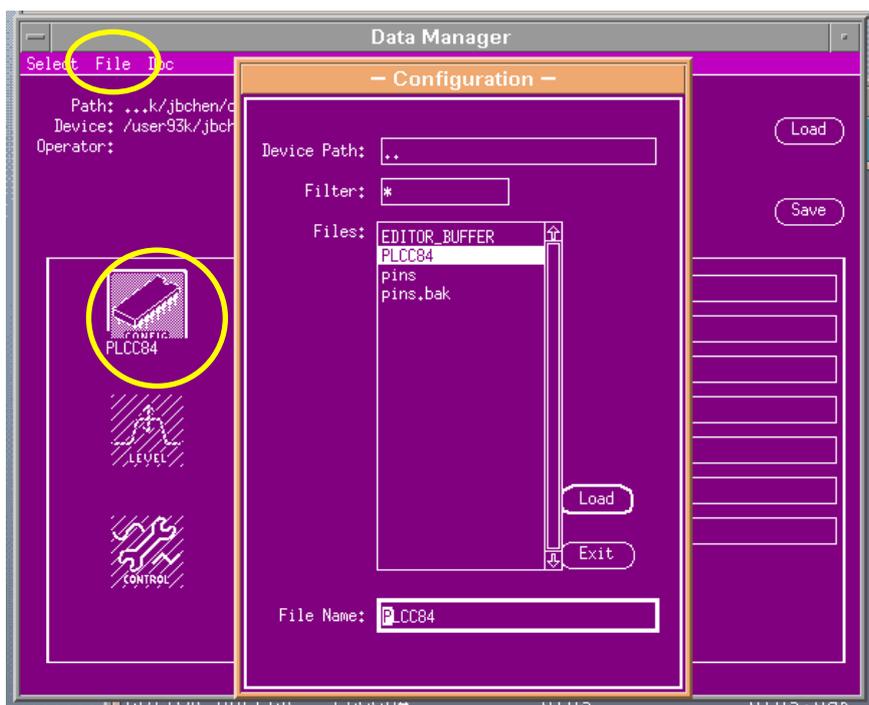


圖 10 Defining the Pins

讀取完成之後，可以點選 main toolbar 中 pin configuration 的 button 或在 data manager 中雙點選 Config Icon，會出現 pin configuration 編輯視窗如圖 11 所示，pin configuration 編輯視窗分成二種模式，MONITOR Mode 與 EDITOR Mode，只有在 EDITOR Mode 才可以進行編輯，切換的方式選擇 Mode → editor 可以進入 EDITOR Mode，進入 EDITOR Mode 之後便可以開始修改，要修改的內容包含：第一個是 pin name 欄位，改為每個訊號的名稱(字元的長度限制 16 個以內)，第二個是 type 欄位，根據訊號是輸入到待測 IC 其 type 為 i，待測 IC 產生的輸出 response 其 type 為 o，若為 bi-directional 的 I/O 其 type 為 io。第三個是將 pin number 為沒有使用到的 pin，以及 VDD、VSS 的 pin 刪除，刪除的方式為游標在所要刪除的那列，選擇 Edit → delete line...，會出現詢問要刪除幾行的視窗，填入行數之後，點選 delete 按鈕，便可刪除。最後一個要修改的部份便是 device power supply，提供電源的設定，根據 DUT board 上連線的設定，將所使用到的電源填入 pin configuration 的 test channel 欄位，完成之後點選右上方的 Download 按鈕，然後可以看到 data manager 的 Config Icon 會變成斜線有陰影狀，這樣表示設定有改變，因此要點選 data manager 右上方的 Save 按鈕來進行儲存(如圖 12 所示)。

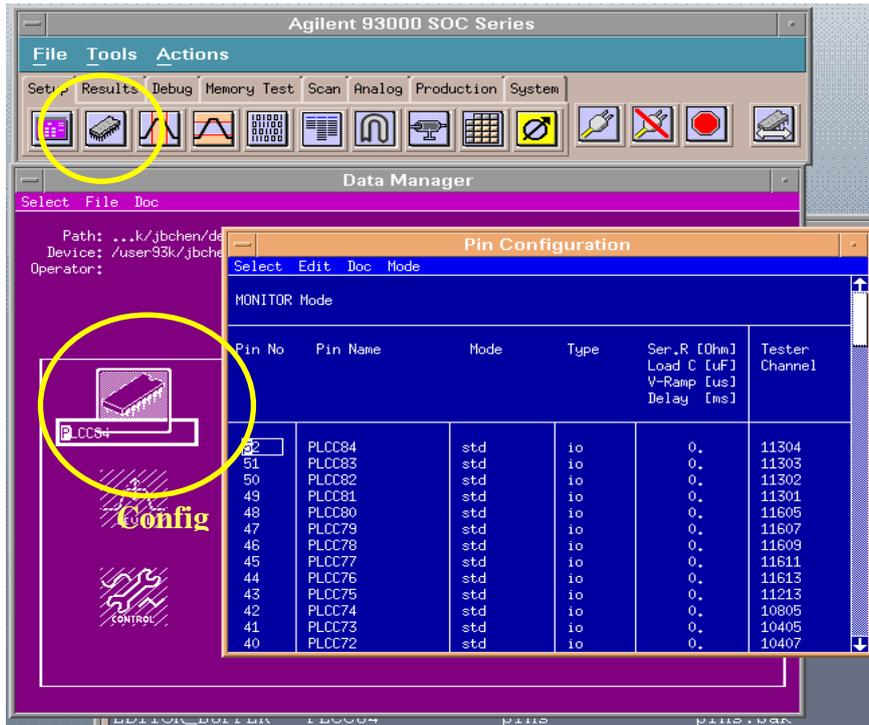


圖 11 Pin Configuration

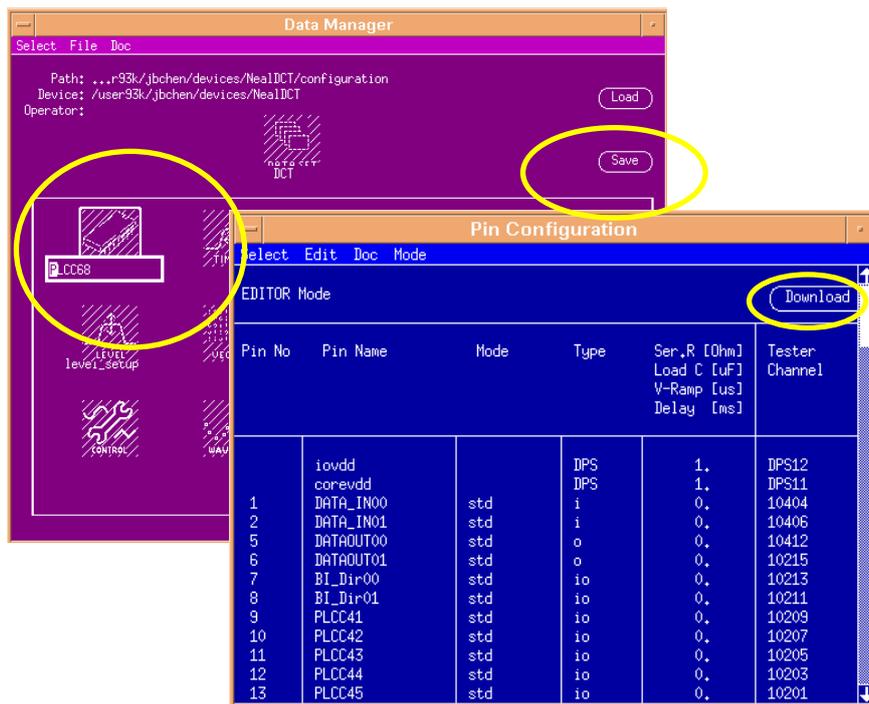


圖 12 Pin Configuration

在 pin configuration 中還需要作的設定便是定義訊號的群組，將訊號定義群組之後，後續設定(levels、timing、vector)的值相同，要套用在不同的訊號時，若這些訊號有設定為群組，那麼在後續設定中可以直接指定群組名稱，不用一個個訊號個別指定。定義群組的方法在 pin configuration 視窗中選擇 Select → groups...會出現 Pin Group Definition 的視窗(如圖 13)，點選 new atomar definition 按鈕後會出現 Digital Pin Group Definition 的視窗(如圖 14)，在這個視窗

中，可以選擇想要設定在同一個群組的訊號名稱，選好後點選 copy 按鈕，在視窗的右方，可以看到目前要設定群組的訊號有那些，最上方的是 MSB，最下方的是 LSB，最後選完之後在 groupname 欄位填入群組名稱，點選下方的 save 按鈕，即會回到 Pin Group Definition 的視窗，第二個以後的群組，也是用同樣的方式進行定義，所有要設定的 group 都完成之後，點選在 Pin Group Definition 的視窗下方的 done 按鈕，此時 data manager 的 Config Icon 會變成斜線有陰影狀，這樣表示設定有改變，因此要點選 data manager 右上方的 Save 按鈕來進行儲存。

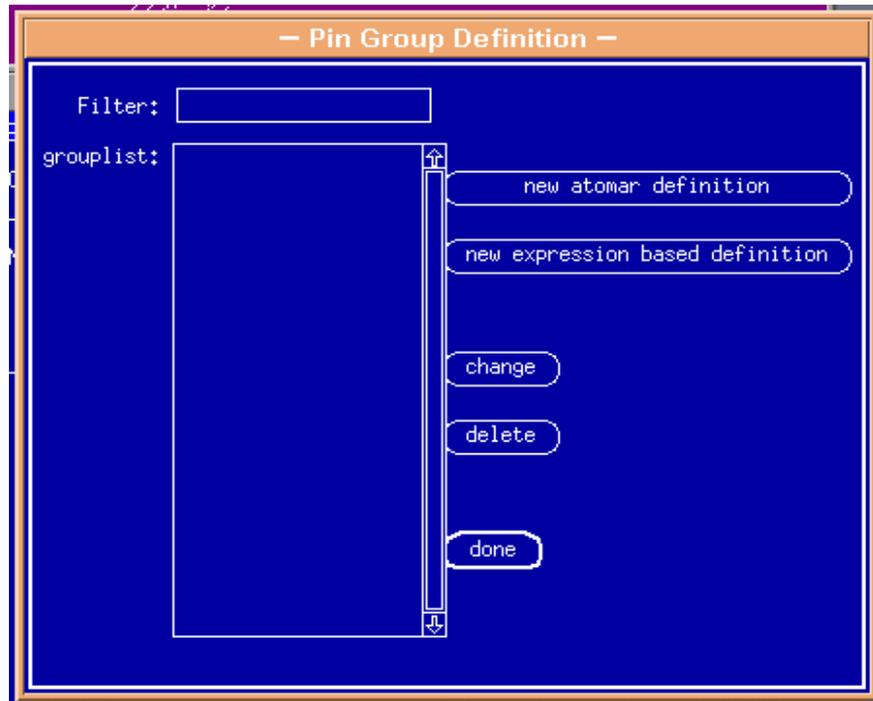


圖 13 Pin Group Definition Window

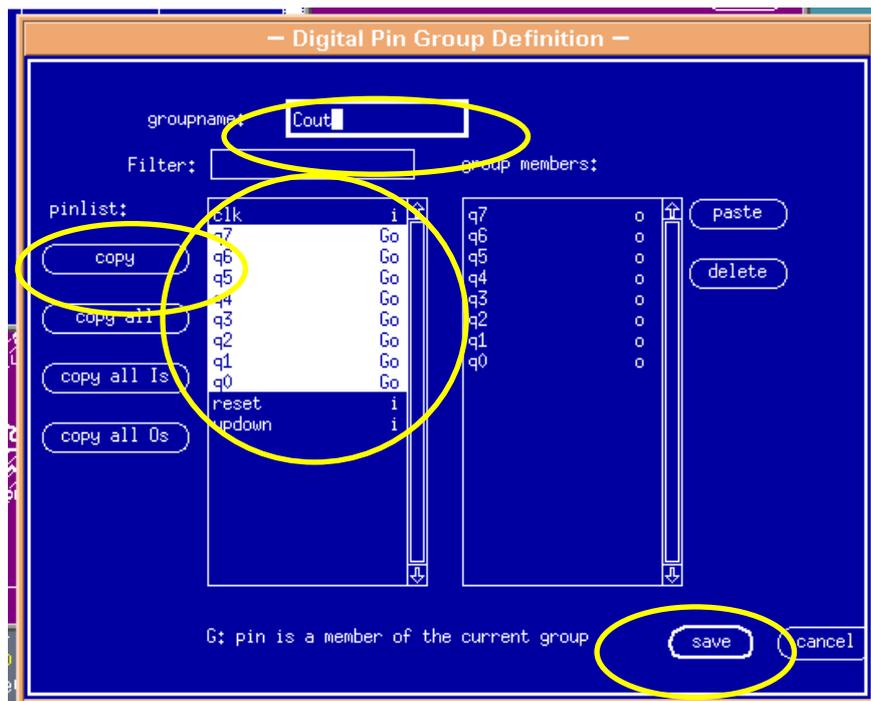


圖 14 Digital Pin Group Definition Window

3. Defining the Levels

Level Setup 是設定訊號的 drive voltage 大小(VIL、VIH)如圖 15 所示，訊號 compare 的 voltage threshold 大小(VOL、VOH)如圖 16 所示，以及 power supply 的 voltage 大小，current limit 的大小，啟動 power 的 setup time 設定，還有關掉 power 的模式設定，如圖 17 所示，設定的方式是在 data manager 的 setup page，點選 Level Icon 如圖 18 所示，在 Level Icon 下方填入想儲存的檔名，接著雙點選 data manager 中 Level Icon 會出現 Level Setup 的視窗，便可以開始進行設定，其設定的架構如圖 19 所示，可以利用 Level equation editor 來設定 Level equation set，每個 level equation set 中可以利用 SPECS 以及 EQUATIONS 來定義一些變數，以及數值運算，DPSPINS 是用來定義電源的電壓及電流大小，LEVELSET 則是用來定義訊號的 VIH、VIL、VOH、VOL 等，在 SPECS 中所定義的變數，是利用 Level Spec Tool 來指定其數值是多少。

圖 20 是 level equation set 的一個範例，利用這個範例配合圖 19 的架構圖，就可以瞭解架構圖所代表的意義，在這個範例中，定義了二個變數 COREPW 與 IOPW，分別表示 core power 的電源電壓以及 io pad power 的電源電壓，EQUATIONS 內部運算出 VIH、VIL、VOH 以及 VOL 四個變數的數值，然後在 LEVELSET 1 當中，設定 all_ins 這個 pin group 以及 clk 這個 pin 的 vil 與 vih 設定值為 VIL 與 VIH 這二個變數的數值(因為在 pin configuration 中有事先設定群組，因此在 level setup 時，可以直接指定整個群組)，另外針對 io_pins 這個 pin group 設定其 vil、vih、vol、voh 的設定值，針對 all_outs 這個 pin group 設定其 voh 與 voh 的設定值。

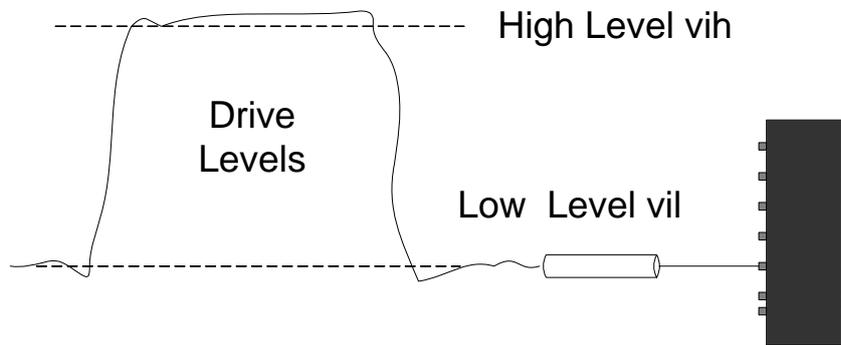


圖 15 Drive Levels

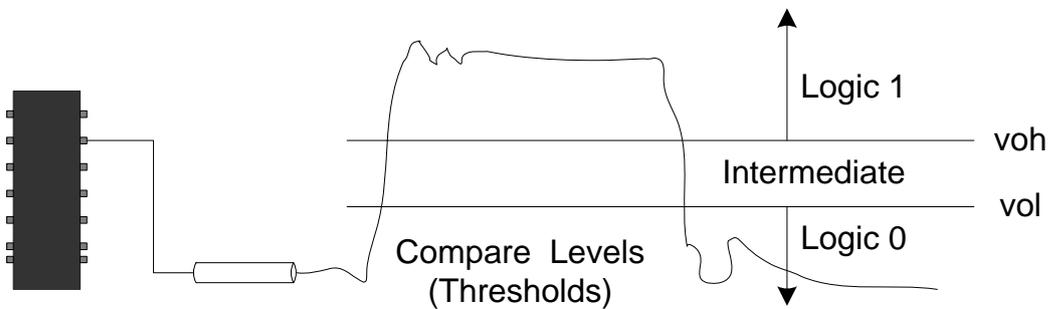


圖 16 Compare Levels

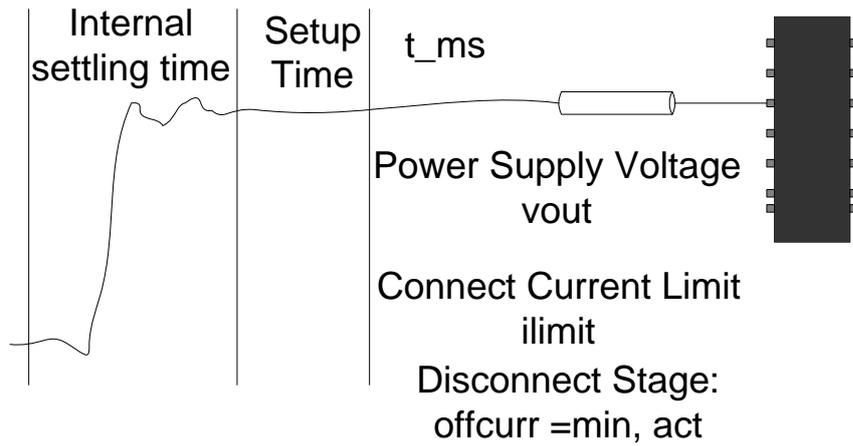


圖 17 DPS Voltage and Current Limit

Data Manager

Select File Doc

Path: /user93k/jbchen/devices/NealDCT/levels
Device: /user93k/jbchen/devices/NealDCT
Operator:

Level Setup

Select Edit Doc Format

Lset # 1 of 1

Level

pin/group name	pin type	level[V]		mode	termination			mode	clamp	
		low	high		lev[V]	Iol[μ A]	Ioh[μ A]		low[V]	high[V]
PI_CLK	i	2.25	2.75	off				aut	-0.20	5.20
PI_DoDCT	i	2.25	2.75	off				aut	-0.20	5.20
PI_HALT	i	2.25	2.75	off				aut	-0.20	5.20
PI_Mode1	i	2.25	2.75	off				aut	-0.20	5.20
PI_Mode0	i	2.25	2.75	off				aut	-0.20	5.20
PI_RESET_	i	2.25	2.75	off				aut	-0.20	5.20
PI_X11	i	2.25	2.75	off				aut	-0.20	5.20
PI_X10	i	2.25	2.75	off				aut	-0.20	5.20
PI_X9	i	2.25	2.75	off				aut	-0.20	5.20
PI_X8	i	2.25	2.75	off				aut	-0.20	5.20
PI_X7	i	2.25	2.75	off				aut	-0.20	5.20
PI_X6	i	2.25	2.75	off				aut	-0.20	5.20
PI_X5	i	2.25	2.75	off				aut	-0.20	5.20
PI_X4	i	2.25	2.75	off				aut	-0.20	5.20
PI_X3	i	2.25	2.75	off				aut	-0.20	5.20

CONFIG PLCC68

LEVEL SETUP

MASTER PROGRAM NOT MONITORED (DISABLED)

圖 18 Level Setup Window

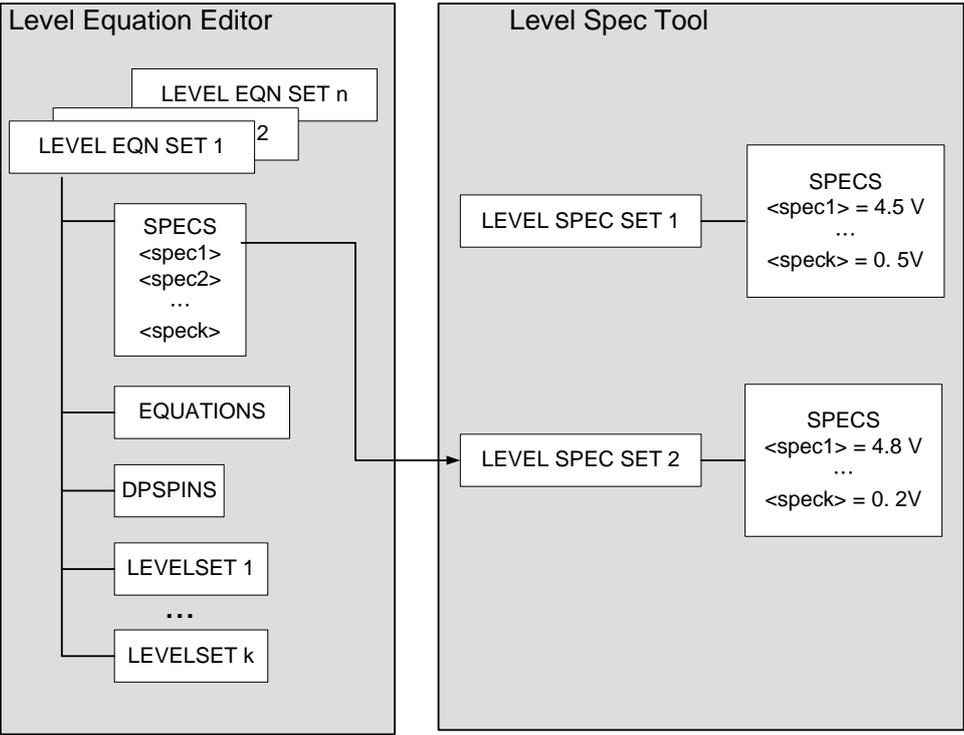


圖 19 Level Setup Architecture

```

EQNSSET 1 "levels equation set"

SPECS
    COREPW [V]
    IOPW   [V]

EQUATIONS
    VIL = 0
    VIH = IOPW
    VOL = 0.2*IOPW
    VOH = 0.8*IOPW

DPSPINS    corevdd
    vout = COREPW
    ilimit = 1000
    t_ms = 4
    offcurr = act

DPSPINS    iovdd
    vout = IOPW
    ilimit = 1000
    t_ms = 4
    offcurr = act

LEVELSET 1 "no termination"
    PINS all_ins clk
        vil=VIL
        vih=VIH

    PINS io_pins
        vil= VIL
        vih= VIH
        vol= VOL
        voh= VOH

    PINS all_outs
        vol=VOL
        voh=VOH

```

圖 20 Level Equation Set Example

圖 20 範例中的這些設定，必須在 Level Equation Editor 中進行編輯，打開 Level Equation Editor 的方式是在 Level Setup 視窗中選擇 Select → Edit Equations，原廠原本是設定使用 vi 作編輯器，CIC 已經改成使用 nEdit 如圖 21，在 nEdit 中 keyword 會顯示成不同的顏色，編輯完成之後在 nEdit 中選擇 Shell → LEVEL → Download Equations，download 之後在 data manager 中 Level Icon 會變成斜線有陰影狀，這樣表示設定有改變，因此要點選 data manager 右上方的 Save 按鈕來進行儲存。

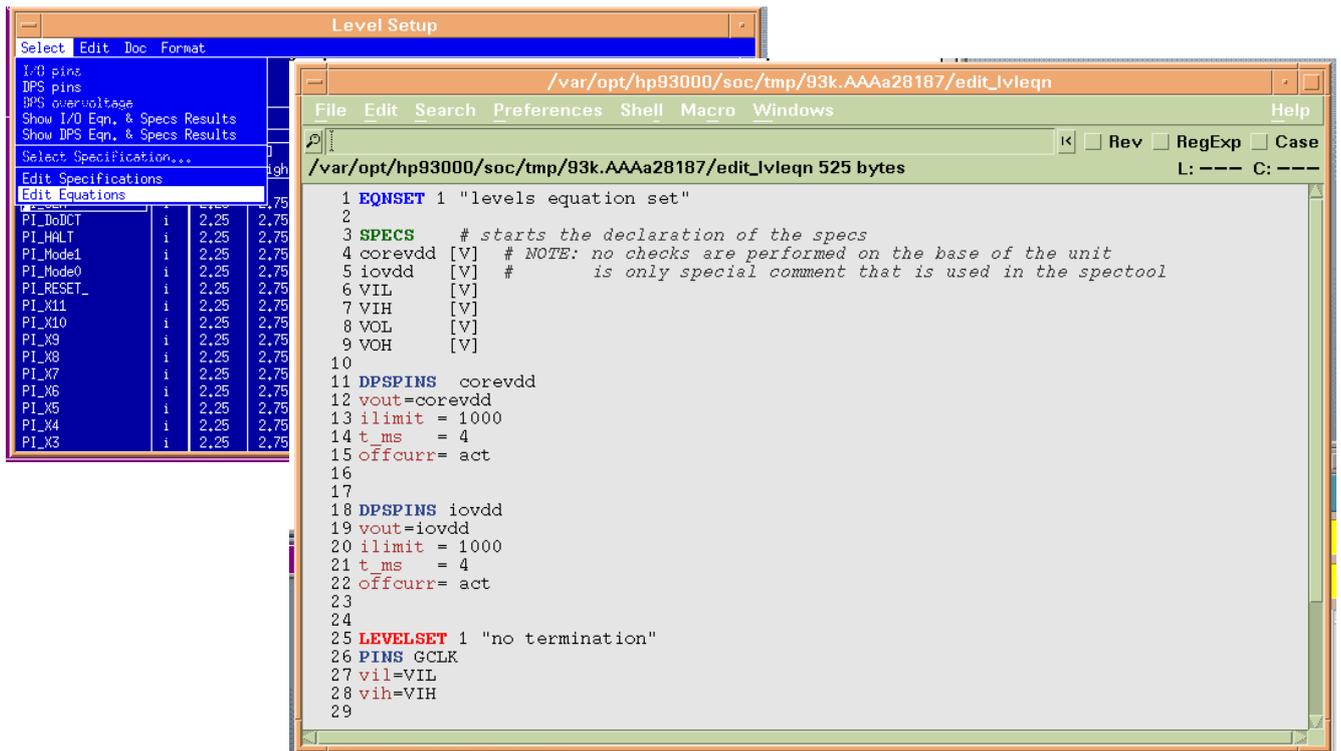


圖 21 Level Equation Editor

設定好 level equation set 之後必須針對所有的 SPECS 變數指定其數值，指定的方式必須透過 Spec Tool 來進行，開啟 Spec Tool 的方式之一是在 Level Setup 視窗中選擇 Select → Edit Specifications，然後會出現如圖 22 的視窗，選擇 level equation set 之後點選 create 按鈕，會出現 Create level spec set 的視窗如圖 23，在 Create level spec set 的視窗選擇 Set number 後，在 Description 欄位填入名稱，然後點選 create 按鈕，便會出現 Spec Tool 的視窗(圖 24)，在 Spec Tool 的視窗中，便會出現所有的 SPECS 變數，可以在 Actual 的欄位填入變數的數值，輸入完成之後選擇 File → Download，download 之後在 data manager 中 Level Icon 會變成斜線有陰影狀，這樣表示設定有改變，因此要點選 data manager 右上方的 Save 按鈕來進行儲存。以這個例子的說明，可以發現我們定義了二個 SPECS 變數，分別代表 core power 的電壓以及 io pad power 的電壓，利用 Spec Tool 分別指定電壓大小為 1.8 V 與 3.3 V，而訊號的 vil=0 V，vih=3.3 V，vol=0.66 V，voh=2.64 V。

以上介紹了 CIC 目前所引進的測試機台規格以及軟體設定的簡介，在下一期的 CIC eNews，將繼續介紹後續的軟體設定，包含了 timing、vector 以及如何進行測試，敬請期待。

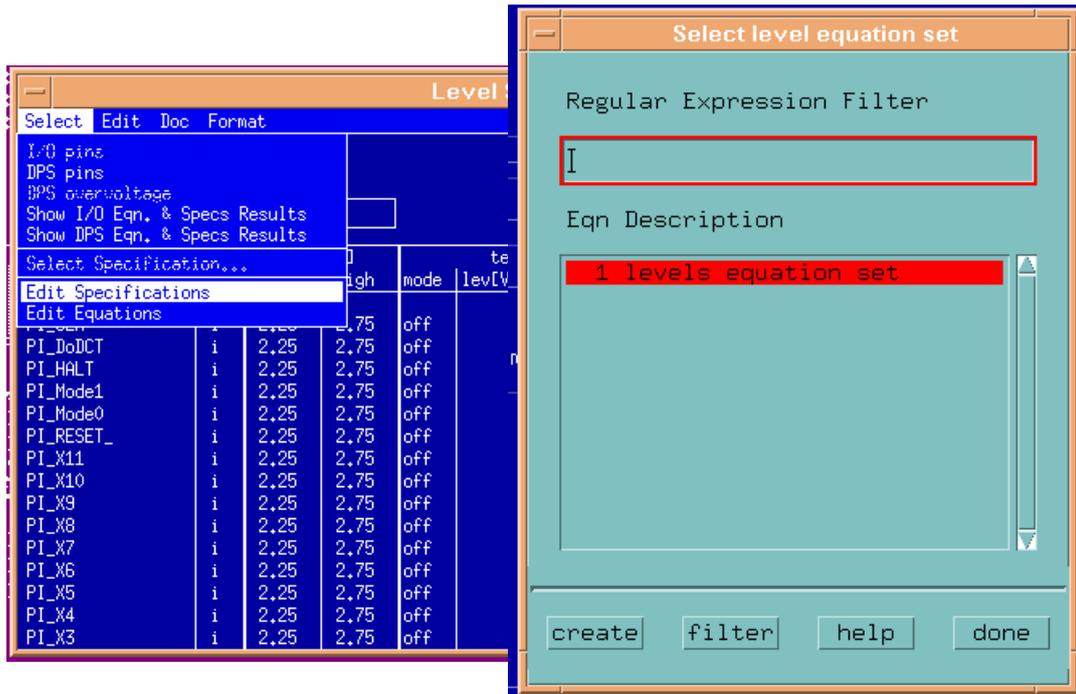


圖 22 Select Level Equation Set

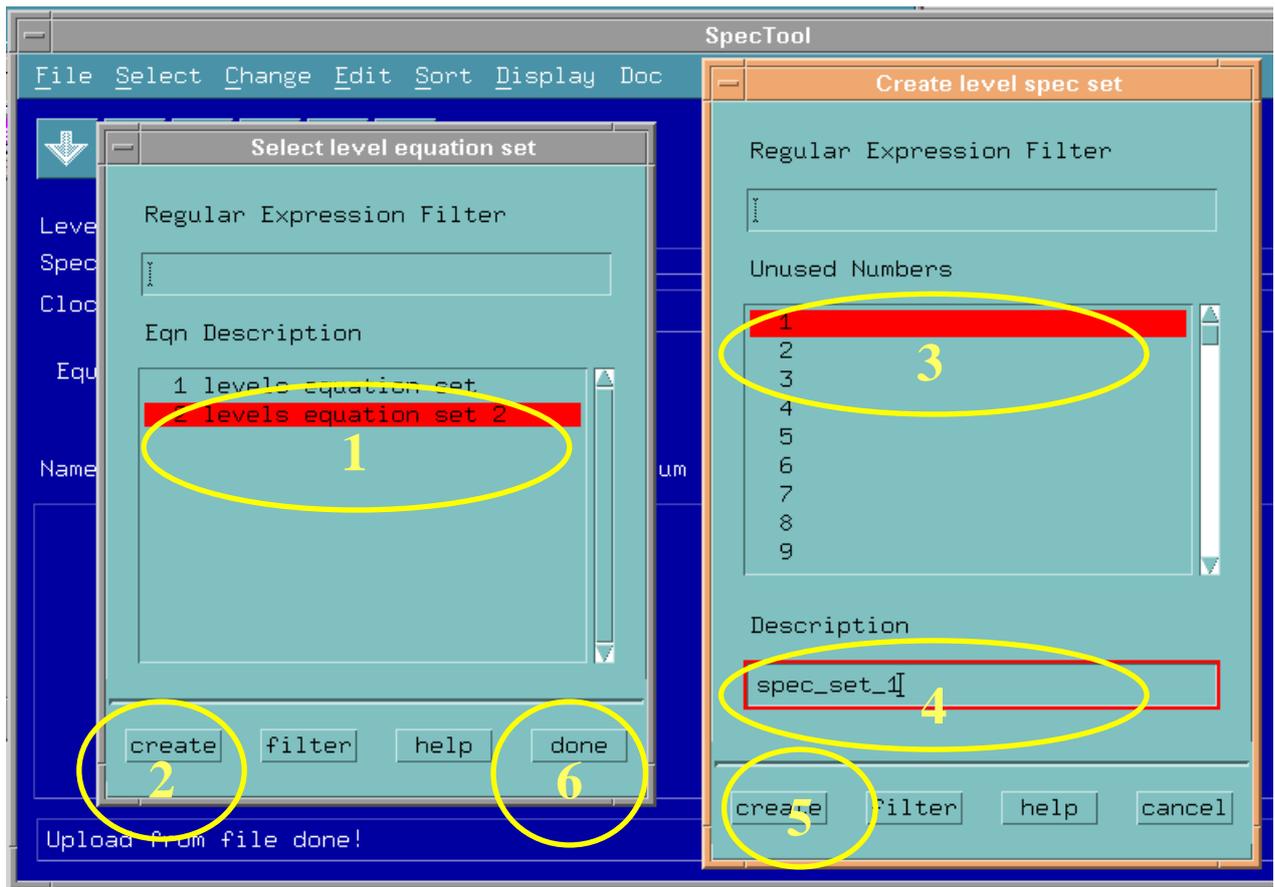


圖 23 Create Level Spec Set

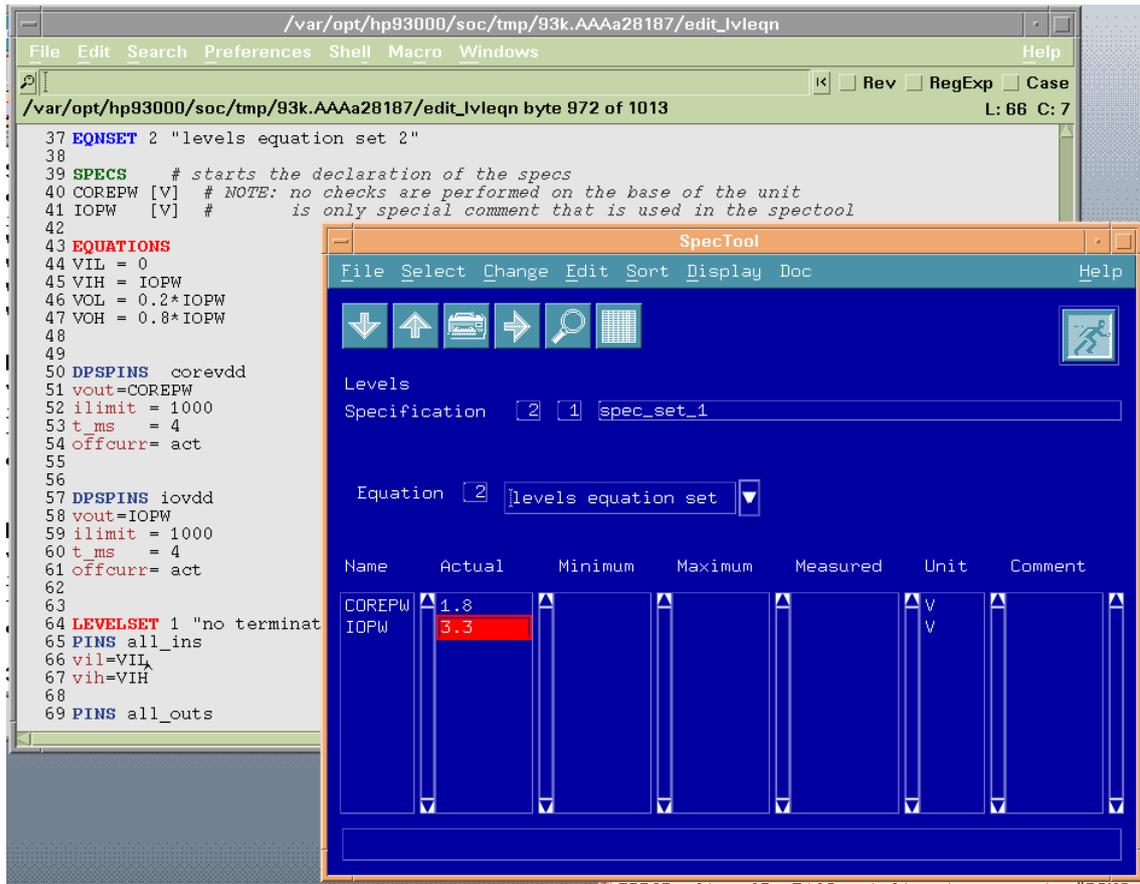


圖 24 Spec Tool

Digital Chip Testing with Agilent 93000 SoC Series (下)

陳正斌

在第 60 期的 CIC eNews 技術論壇中，介紹了 CIC 新引進的混合訊號測試機台的規格，以及測試數位晶片的基本步驟，這期的技術論壇將繼續介紹後續的操作步驟。

4. Timing and Vector Setup

當 level 設定完成之後，接著要進行的設定便是 timing 與 vector，圖 25 顯示了 timing 與 vector 的設定，與機台產生訊號給待測晶片之間的關係。timing setup 定義了每個 test cycle 的週期時間是多長，不同的 vector 所對應的波形，以及每個波形中 edge 的時間點，以圖 25 的例子可以看出來，我們定義了 4 種不同的波形，其 physical waveform indices 為 0、1、2 以及 3，這些 physical waveform indices 即是在 vector setup 中所要設定的 state character。接著我們在 vector setup 中，指定了一個 pattern 順序，最後機台便會根據 level setup 的設定，產生圖 25 下方的訊號給待測晶片，因此只要針對每個訊號進行類似的設定，便可產生完整的訊號給待測晶片，並且量測待測晶片所產生的 response。在機台介紹時有提到每個訊號的 vector memory 大小是 28MV (Mega Vector)，這是當波形的種類定義在最多 32 種的情況之下；若某個測試訊號所要定義的波形種類只需要 8 種，則 vector memory 大小便可提昇為 84MV。

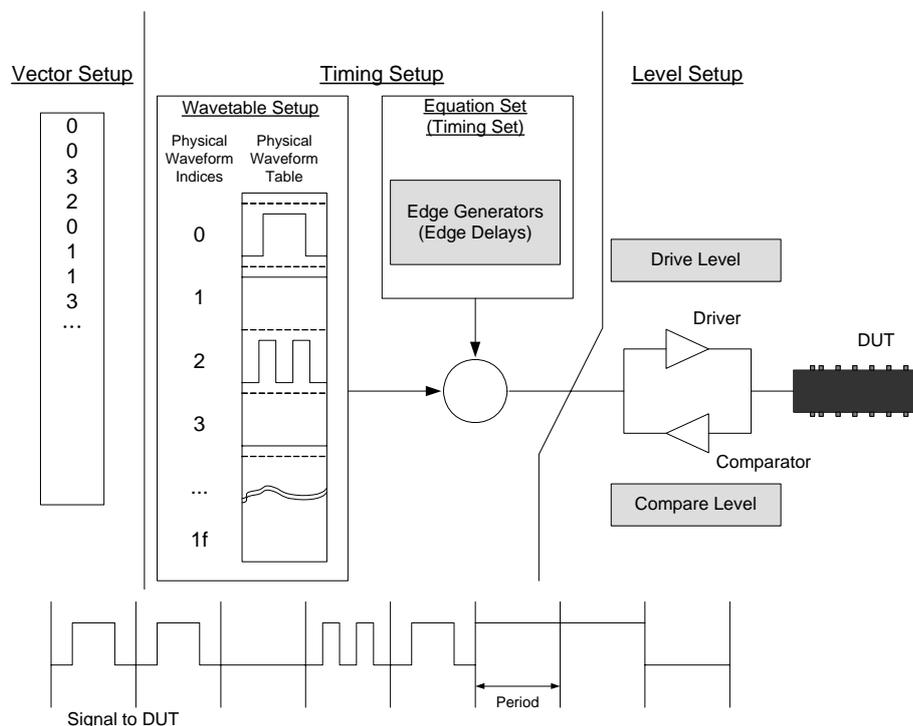


圖 25 Timing and Vector Setup

一般在進行測試時，訊號的波形是非常複雜同時測試向量的數量也都是非常龐大，因此必須另外利用其他的軟體工具來幫助我們進行轉換，若是 scan pattern，可以透過 SmarTest PG 這個軟體將標準的 STIL 或 WGL 格式的 scan pattern 轉換成 SmarTest 所能接受的 timing 與 vector 設定檔，轉換完成之後，只要在 data manager 中將轉好的檔案讀取即可，轉換的指令為 scanconverter -db_type:wgl -out_dir output scan.wgl，分別用 -db_type 來指定 scan pattern 的檔案格式，-out_dir 來指定轉換好的結果存放在那個目錄，最後將 scan pattern 的檔名給 scanconverter 指令，若是 STIL 的格式，就將 -db_type 的參數 wgl 換成 stil 即可。

若是 functional 的測試向量，就要透過 ASCII interface 這個工具來進行轉換，ASCII interface 的使用示意圖如圖 26 所示，它包含了二個指令 ait 與 aiv，這二個指令可以分別將在 IC 設計時的 simulation pattern 轉換成為機台上的 timing 與 vector 設定檔，轉換完成之後，便可以直接在 data manager 進行讀取。要執行 ASCII interface 必須先準備好三個資料，如圖 27 所示，其中 ASCII timing file (如 sample.dvc) 用來定義 ASCII vector file (如 updown.avc) 中每個 state character 所代表的波形與以及每個波形中 edge 的時間點，還有每個 test cycle 的週期時間是多長。ASCII configuration file (如 sample.aic) 用來指定檔案放置的目錄，以及有那些 vector 要進行轉換，ASCII vector file 則是透過 state character 來定義不同的訊號，提供給待測晶片。轉換完成後會產生 timing setup file 與 binary vector file 二個檔案。

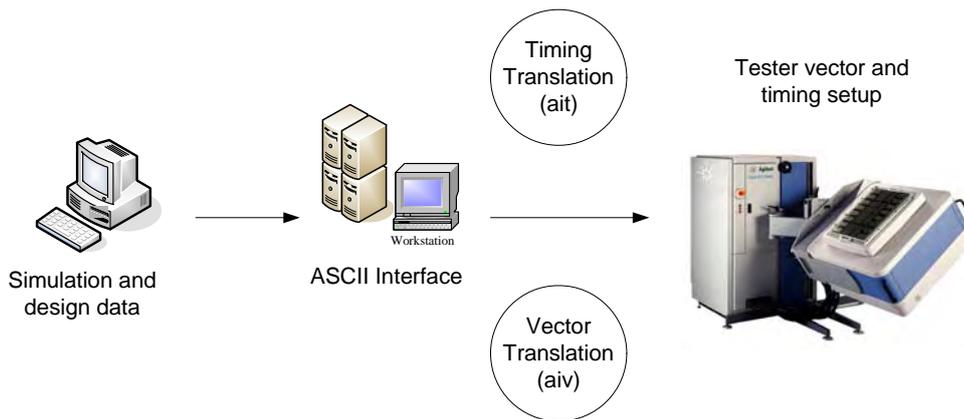


圖 26 ASCII Interface

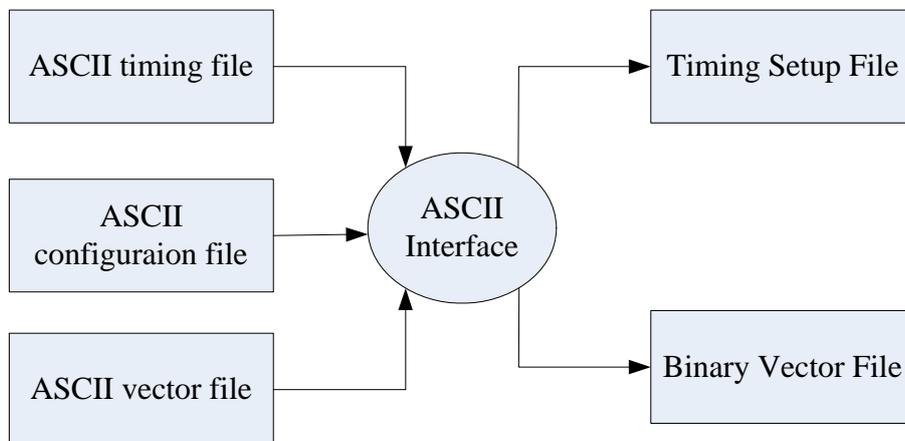


圖 27 ASCII Interface Inputs and Outputs

圖 28 是一個 up down counter 的測試訊號示意圖，其中 q 的輸出是 8 個位元，圖中只有列出 2 個位元，由圖中可知，當 reset 信號為邏輯 0 時計數器會輸出 0，若 reset 信號為邏輯 1，則每次 clk 信號的 rise edge 發生時，updown 信號若為邏輯 1 則計數器會向上數，若 updown 信號為邏輯 0 則計數器會向下數，要將這個驗證電路的 pattern，從 simulation 的 testbench 轉換成 ASCII vector file，我們就要先定義出每個訊號在 test period 中所要呈現的波形，以圖 28 的例子來看，我們可以定義出如圖 29 這樣的一個結果，同時產生對應的 ASCII vector file。要將圖 28 的信號，轉換成 ASCII vector file 的表現方式，就必須針對每個信號，定義出在每個基本的 test cycle 中其波形的型式與其對應的 state character，以圖 28 的例子，我們定出了 clk 信號的波形，以及對應的 state character “1”，而針對 reset 與 updown，我們定出了二種波形，與對應的 state character “0”與“1”，針對輸出 q，我們定出預期的訊號若是邏輯 0，則其 state character 為”L”，預期的訊號若是邏輯 1，則其 state character 為”H”。

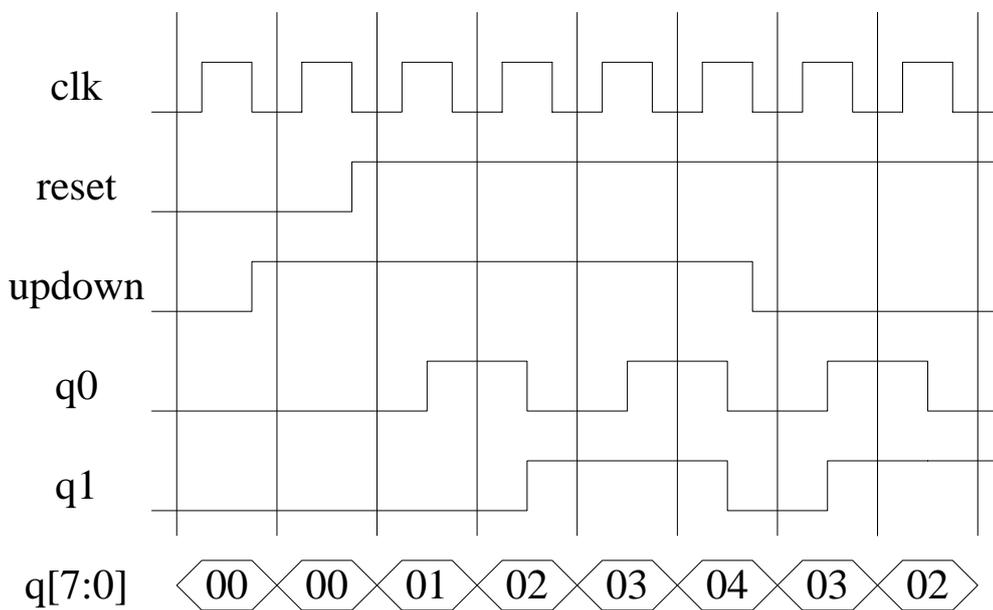


圖 28 Up/Down Counter Waveform

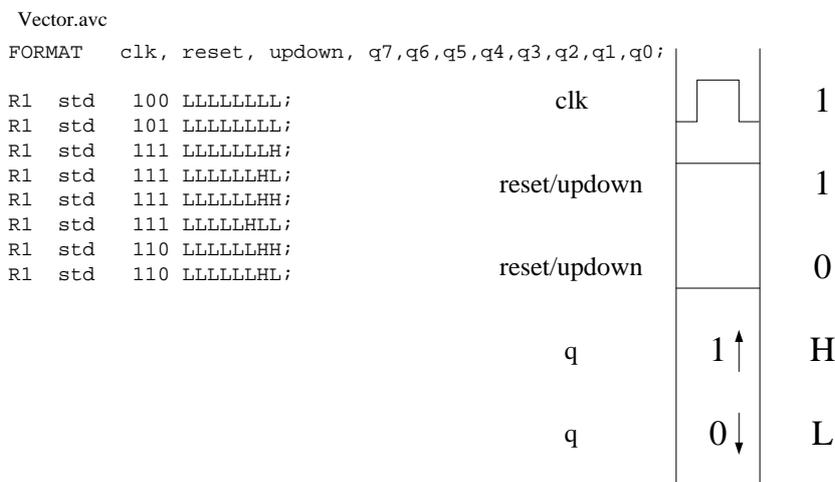


圖 29 ASCII Vector File (.avc)

透過所定義的波形，可以將圖 28 的測試訊號，利用 ASCII vector file 的內容來描述。在 ASCII vector file 中的第一行是列出每個訊號名稱，描述的方式先利用 FORMAT 這個關鍵字，後面加上每個訊號的名稱，每個訊號用逗號隔開，結束時加上分號。第二行開始便可以描述所要產生的測試訊號，開始的關鍵字 R1 指的是重覆這個 vector 一個 cycle，後面接上 std 是 device cycle name，這個 device cycle name 會在 ASCII timing file 中使用到，最後接上的就是每個訊號所要產生的波形，描述的方法就是透過 state character，一般使用上的習慣都是用”0”與”1”代表輸入邏輯 0 與邏輯 1，而使用”L”、”H”、與”X”來表示輸出的預期是邏輯 0、邏輯 1 或 don't care。每個訊號則透過所定義的波形與其 state character 連結在一起，描述完一個 vector 之後，可再下一行描述新的 vector。因此圖 29 中所列的 ASCII vector file，其所產生的訊號如圖 30 所示，ASCII vector file 中第一個 vector，R1 std 100 LLLLLLLL; 就會產生圖 30 的 Cycle 1 這個波形，其中第 1 個 state character “1”代表 clk 這個訊號，第二個 state character “0”代表 reset 這個訊號，第三個 state character “0”代表，updown 這個訊號，第 4 個 state character “L”代表輸出 q7，之後的以此類推，所有的輸出部份，機台在測試時便會自動將待測晶片的 response，於所定義的比較時間點，與 level setup 中所設定的 VOL 與 VOH 的電壓值進行比較，來判斷是否與預期的邏輯值相同。第二個 vector，R1 std 101 LLLLLLLL; 就會產生 Cycle 2 的波形，第三個之後的 vector 也是同樣的方式產生。

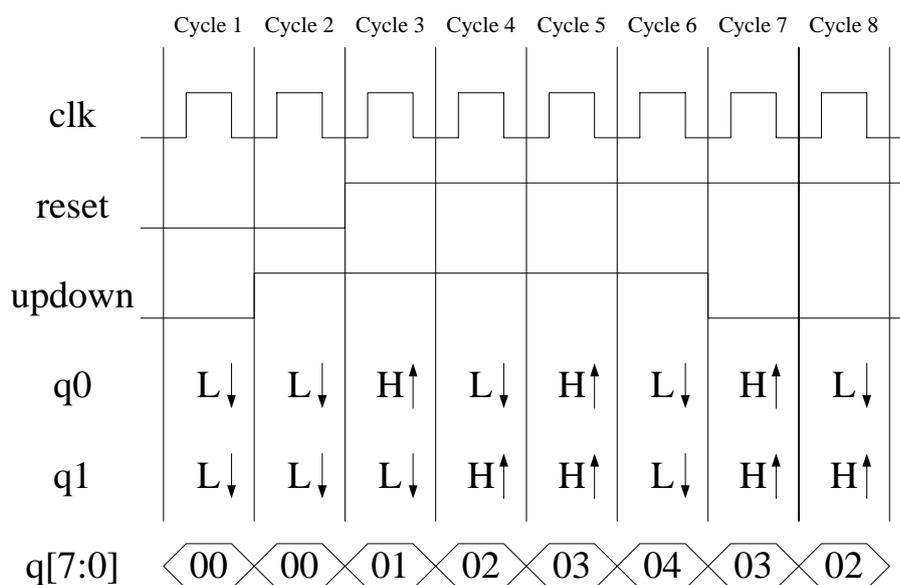


圖 30 The Input Stimulus and Output Response

ASCII vector file 的產生方式有二種，若是波形很簡單，可以使用文字編輯器來產生，若是波形複雜，一般會在進行電路模擬的同時，讓電路模擬軟體來產生，以 Verilog 語法來說，通常可使用 \$fdisplay 與 \$fwrite 等 system task 來產生。

ASCII timing file 則是用來定義每個訊號，其 state character 所對應的波形，以及每個波形中的 edge delay，還有 test cycle 的週期長度，圖 31 便是將所定義的波形，利用 ASCII timing file 來描述。一開始的 SPECS 是關鍵字，可以用來指定 specification set，也就是定義一些變數，以這個例子，我們定義了一個變數 freq 代表信號的頻率，一開始設定其值為 10MHz。第二個

部份 EQUATIONS，用來指定一些運算式，以便得到所需的數值，範例中運算了從 10MHz 的頻率，轉換成 100ns 的週期，以及 t1、t2 和 t3 三個時間，在描述 edge delay 時會使用，第三個部份是定義 ASCII device cycle name 與其週期，使用 DVC 這個關鍵字，後面加上在 ASCII vector file 中的 device cycle name，由於我們使用了 freq 的變數，並且使用 equation 來運算得到週期時間 Tperiod，因此將 Tperiod assign 給 period 關鍵字。

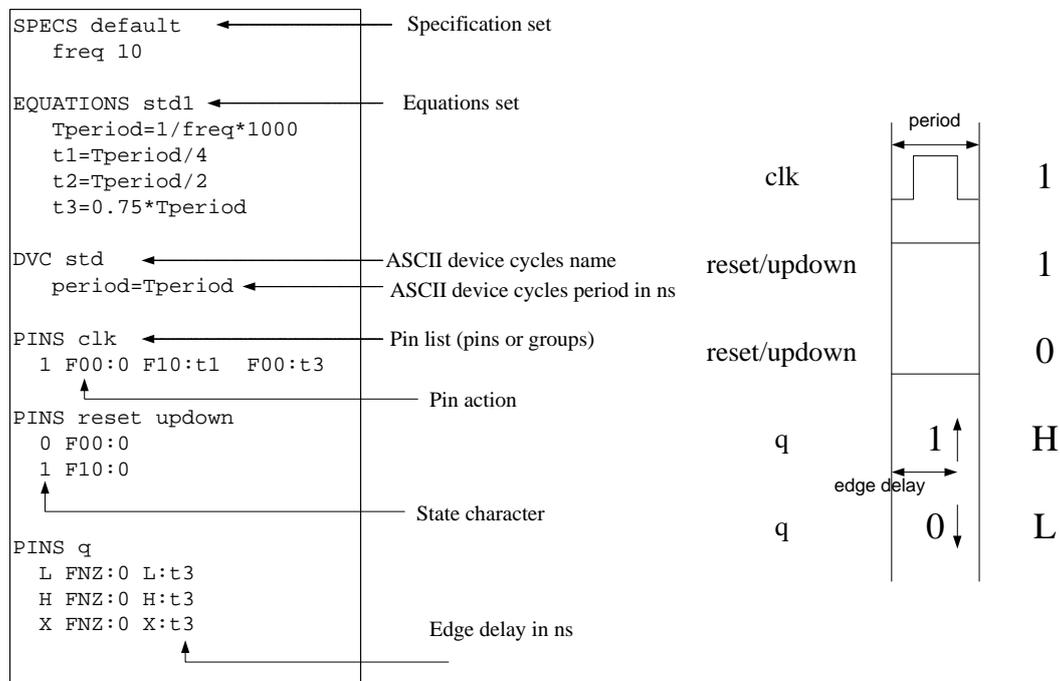


圖 31 ASCII Timing File (.dvc File)

第四個部份便是描述每個訊號的波形外觀，以及每個 edge 的 delay 時間是多少，首先用 PINS 這個關鍵字來定義訊號，在 PINS 後面加上所要定義的訊號名稱，如 PINS clk 代表要定義 clk 這個信號，由於我們所定義的 clk 這個信號，其 state character 只有“1”這種，其波形如圖 31 的右方所示，定義的方式為 1 F00:0 F10:t1 F00:t3，一開始的“1”代表的是 ASCII vector file 中，clk 這個信號的 state character “1”，後面的 F00:0 是用來描述 pin action，代表的是在每個 test cycle 的起點開始算 0ns 時要 force 一個邏輯 0，F10:t1 指的是要在每個 test cycle 的起點開始算 t1=25ns 時要 force 一個邏輯 1，因此 clk 訊號的 rising edge 與 test cycle 一開始的原點，相差了 25ns，F00:t3 代表在 t3=75ns 的時候，要 force 一個邏輯 0，因此 clk 訊號的 falling edge 與 test cycle 一開始的原點相差了 75ns 的時間。reset 與 updown 這二個訊號其 state character 有“0”與“1”二種，其波形分別是整個 test cycle 都是邏輯 0 與邏輯 1，在 PINS 後面可以把相同設定的訊號一起寫入，然後分別定義“0”與“1”二種 state character 其波形。輸出的部份，q7 至 q0 因為在 pin configuration 有設定一個群組 q，所以在 PINS 後面可以指定群組名稱，接著指定每個 state character 與對應的動作，FNZ:0 L:t3 其意義為在 test cycle 一開始先開啟 tri-state，在 t3=75ns 時，進行比較，看看待測晶片所產生的 response 是否為邏輯 0，也就是在 t3 這個時間點，待測晶片所產生的 response，其電壓是否有比 VOL 的電壓還要低，至於 state character “H”也是相同的比較方式，只是 H:t3 代表預期的邏輯值為 1，也就是電壓值要比 VOH 的電壓還高，

而 state character “X”所定義的 X:t3 代表 mask 也就是不用比較待測晶片所產生的 response。

圖 32 列出了所有在作 drive action 的 pin action 選項，也就是在描述每個訊號波形時，可以使用的動作，使用 F<D><T>是正規的方式，有的也可以用簡寫，如 F10 可以簡寫為 1，圖 33 列出了所有在作 compare action 的 pin action 選項，比較時可分成 edge compare 與 window compare，edge compare 指的是在特定的時間點去比較 response，而 window compare 指的是持續一段時間的比較，因此使用 window compare 時必須在結束的地方加上 close window 的描述。

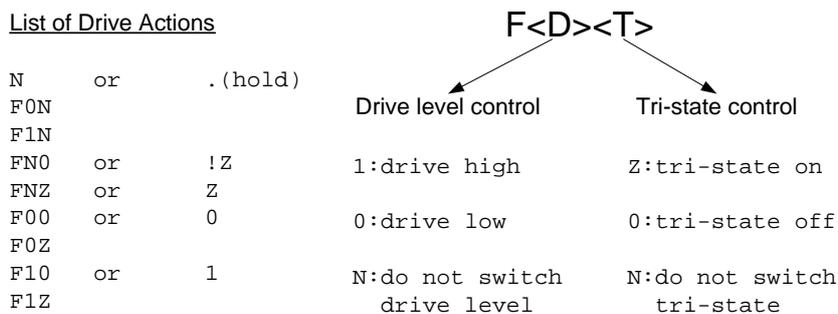


圖 32 Drive Actions in Pin Action

<u>List of Edge Compare Actions</u>			<u>List of Window Compare Actions</u>	
N	or	.(hold)	WL	compare to low
L		compare to low	WH	compare to high
H		compare to high	WM	compare to intermediate
M		compare to intermediate	WX	don' t care (mask)
X		don' t care (mask)	WU	compare to unstable
			WC	close Window

圖 33 Compare Actions in Pin Action

ASCII configuration file 是用來指定進行 ASCII interface 時，來源的 ASCII vector file 有那些，以及 ASCII vector file 所存放的目錄，還有轉換完成的 time 與 vector 設定檔存放目錄位置，圖 34 列出了 CIC 所設定的 ASCII configuration file，一般要修改的部份有 pinconfig_file 這行，改成 pin configuration 的設定檔存放位置，PATTERNS 下方則列出所有要進行轉換的 ASCII vector file 的檔名(如 updown.avc，就列出 updown)，type 的欄位是用來決定 pattern 是 main pattern 還是一個 subroutine，ctim 的欄位是用來決定是否要改變 timing 的設定，xfact 是用來決定 X-mode，也就是在一個 test cycle 中，是否要放入 2 個以上的 vector，ascii_dvc 欄位是用來定義 ASCII timing file 中的 device cycle name，而 vec_ascii_dvc 欄位是用來定義 ASCII vector file 中的 device cycle name。

準備好 ASCII configuration file (sample.aic)、ASCII timing file (sample.dvc)與 ASCII vector file (updown.avc)之後，利用 ait -i sample -o timing_setup_file -z P600 來進行 timing 設定檔的轉換，轉換完成之後會產生 timing_setup_file.tim 這個檔案，將它拷貝至 device 目錄下的 timing 目錄，則在 data manager 中的 timing icon 即可以讀取。再使用 aiv timing_setup_file 這個指令來

轉換 vector，轉換成功之後，會產生 updown.bin.gz 這個壓縮檔，將它拷貝至 device 目錄下的 vectors 目錄，則在 data manager 中的 vectors icon 即可以讀取。讀取的方式如圖 35 所示，先點選 data manager 中的 timing icon，然後選擇 File → Load 就會出現 Timing setup file 的選擇視窗，選擇所要的檔案後，點選 Load 按鈕，vector 的讀取方式類似，先點選 data manager 中的 vector icon，然後用相同的方式選擇轉換成功的檔案。

```
AI_DIR_FILE
tmp_dir      ./tmp
tmf_dir      ./timing_mapping_files
vbc_dir      ./
avc_dir      ./ascii_vectors/
allvec_file  ./all_vectors/all
pinconfig_file /user93k/jbchen/devices/XC_Counter/configuration/pins
single_binary_pattern_dir ./single_vectors/

PATTERNS name type ctim xfact { vec_ascii_dvc ascii_dvc };
          updown MAIN NCT 1 { std std };
          up MAIN NCT 1 { std std };
          down MAIN NCT 1 { std std };
```

圖 34 ASCII Configuration File (.aic File)

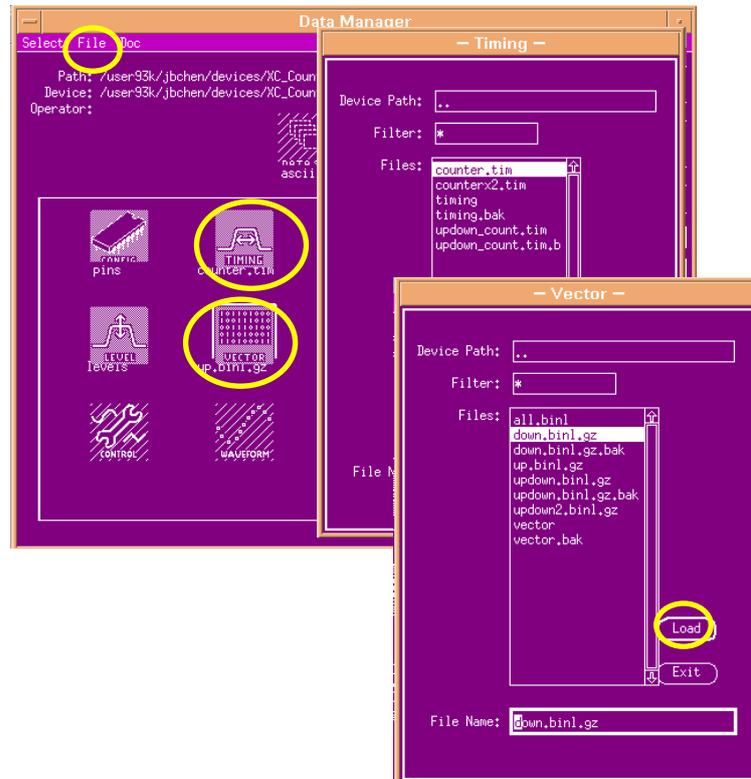


圖 35 Load the Timing and Vector Setup File

5. Select the Level and Timing Specifications

當 pin configuration、level setup、timing setup 與 vector setup 的設定檔都已經準備完成，在 data manager 中必須指定這些設定檔中所設定的一些 equation set，選擇 timing specifications 的方式為：在 data manager 的右方，double click Timing Eqns 的欄位，然後就會出現 Select specification 的視窗，選擇 Timing equation set 與 Timing set 之後，點選下方 select 的按鈕即可(如圖 36 所示)。

Level specifications 的選擇方式為：在 data manager 的右方，double click Level Eqns 的欄位，然後就會出現 Select specification 的視窗，選擇所要的 Level equation set 與 Level set 之後，點選下方 select 的按鈕即可(如圖 37 所示)。

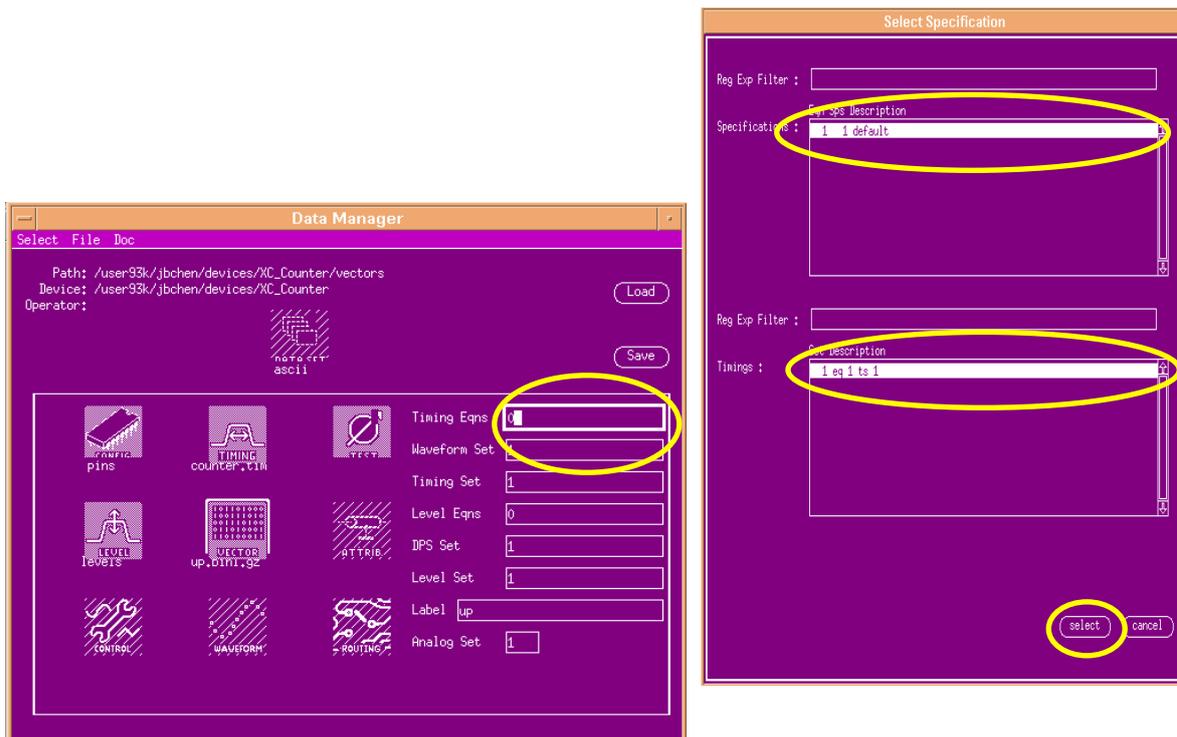


圖 36 Select the Timing Specifications

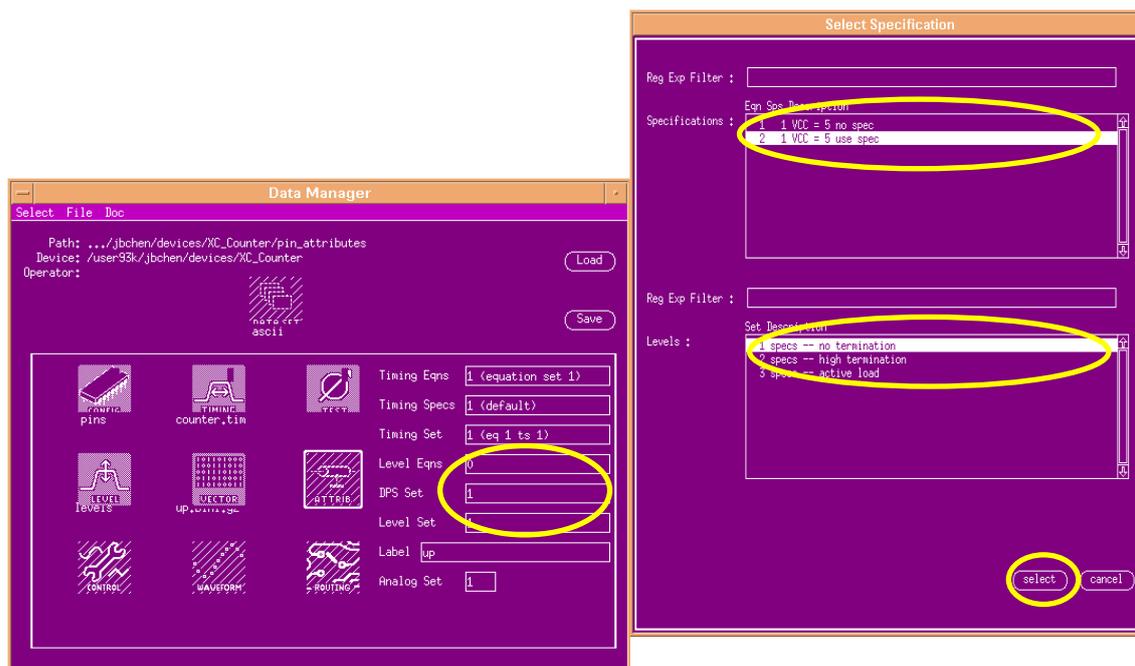


圖 37 Select the Level Specifications

五、Functional Test

1. Functional Test

當所有的設定檔都沒問題，就可以將待測晶片放入 DUT board 上的 socket，然後將 DUT board 放上測試機台，將 SmartTest 重新以 online 的方式開啟，讀取 pin configuration、level setup、timing setup 與 vector setup，選擇 level 與 timing specifications。接著便可以呼叫 standard test function 來進行 functional test，機台便會根據設定檔的內容來產生訊號與電源給待測晶片，然後使用預期的結果與待測晶片所產生的輸出進行比較，若比較結果完全相同，就會顯示 PASS，代表通過測試，若有不同，就會顯示 FAIL，代表有錯誤(圖 38 是 functional test 的示意圖)。

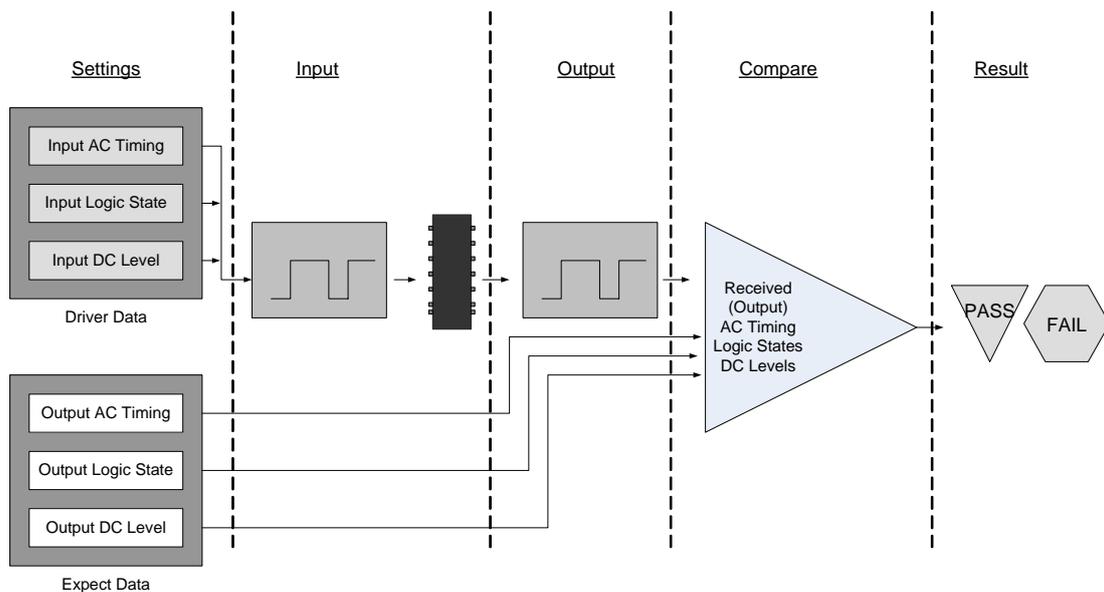


圖 38 Functional Test

開啟 standard test function 的方式有二種，一個是在 main toolbar 點選，一個是在 data manager 中點選(圖 39)，standard test function 中含有許多常用的測試 function，事先已經編寫完成，直接可以選擇使用，而不用自行去寫 C 或 C++ 程式，其中有一個 test function 就是 functional test，執行這個 test function，也就是按下在圖 39 中黃色的視窗下方的 exec 按鈕，機台便會開始進行測試，如圖 40 所示，機台會產生 pattern 給待測晶片，同時會以預期的結果與待測晶片產生的 response 進行比較，並且會將比較的結果存在 error memory 中，同時顯示 pass 或 fail，而存在 error memory 中的資料，可以後續進行結果分析，包括檢視 Error Map 與檢視 Timing Diagram 也就是我們所熟悉的波形圖。

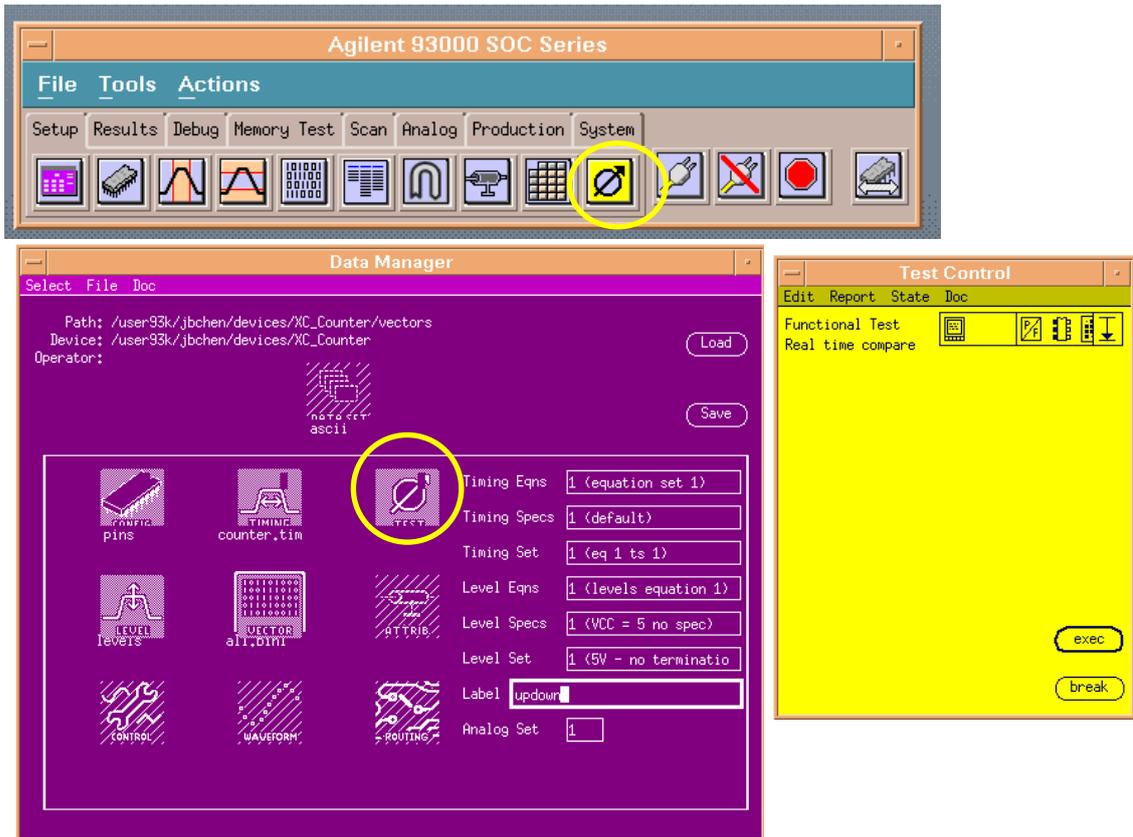


圖 39 Standard Test Function

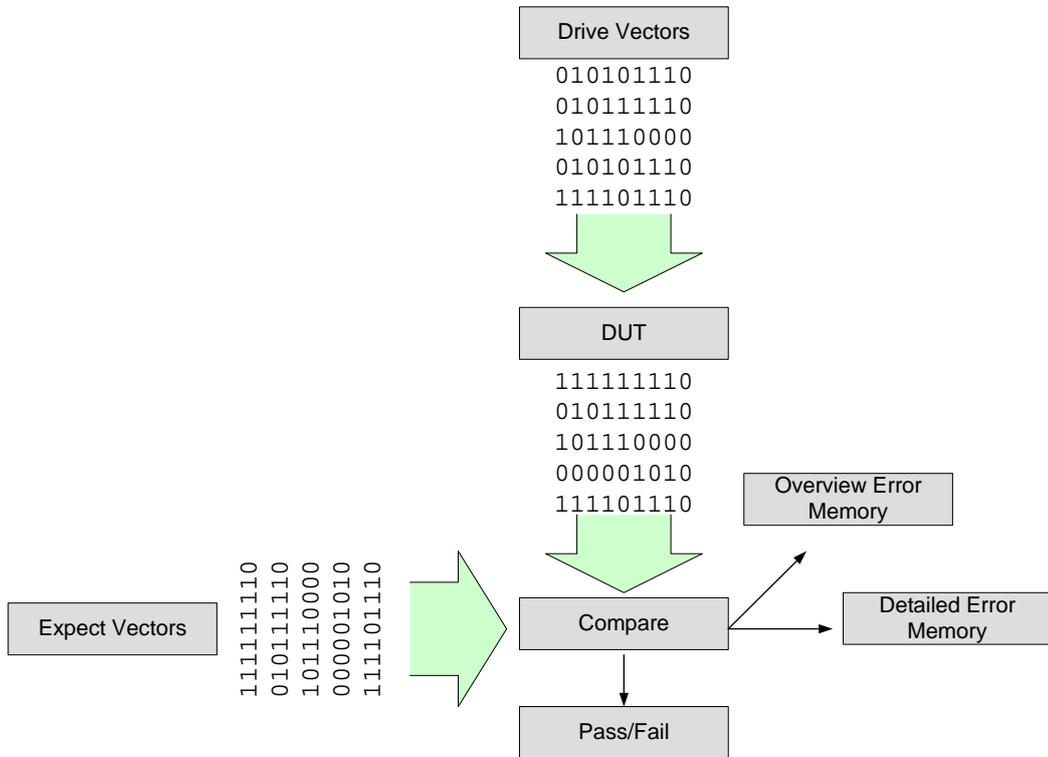


圖 40 Functional Test

六、Test Result Analysis

1. Error Map

測試結束後，比較的結果會存放於 error memory 中，要知道到底是那些 cycle 比較的結果是不相同，可以透過 Error Map 這個工具，它會讀取 error memory 中的資料，然後以圖形方式顯示是那些 cycle 有錯誤。在 main toolbar，選擇 Results 這個 tab，然後點選 Error Map icon，就可以開啟 Error Map 這個工具(圖 41)。若沒有任何的錯誤，則會顯示白色的小方形，有比對錯誤的地方，則會顯示紅色的小方形(圖 42)，在 Overview 的顯示模式下，每個小方形代表了 4096 個週期，在 Cycles 的顯示模式下，則是完整顯示所有的週期。存放錯誤的 error memory 分成了 detailed error memory 與 overview error memory，圖 42 中大的紅色方形代表了 detailed error memory 中所記錄下來的錯誤資訊，也就是那幾個 cycle 的那幾根 pin 有錯誤，而小的紅色方形代表了 overview error memory 中所記錄下來的錯誤資訊，只能知道有錯誤發生，不能知道是那個 cycle。利用 Error Map 工具可以快速發現比對錯誤的 cycle 在那裡。

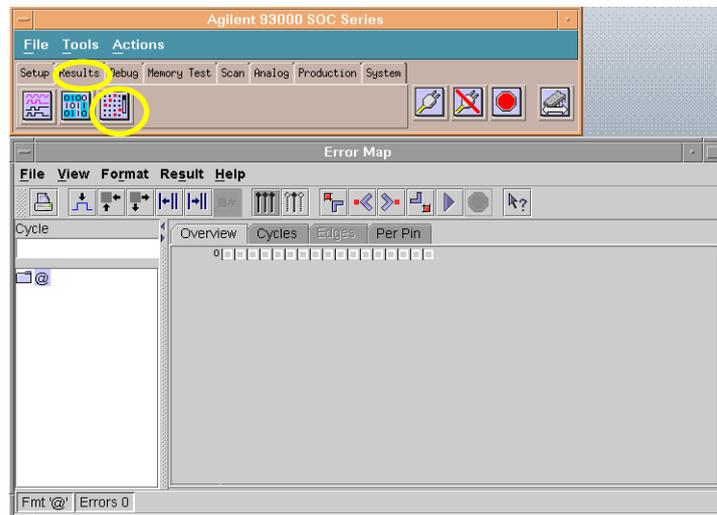


圖 41 Error Map (PASS)

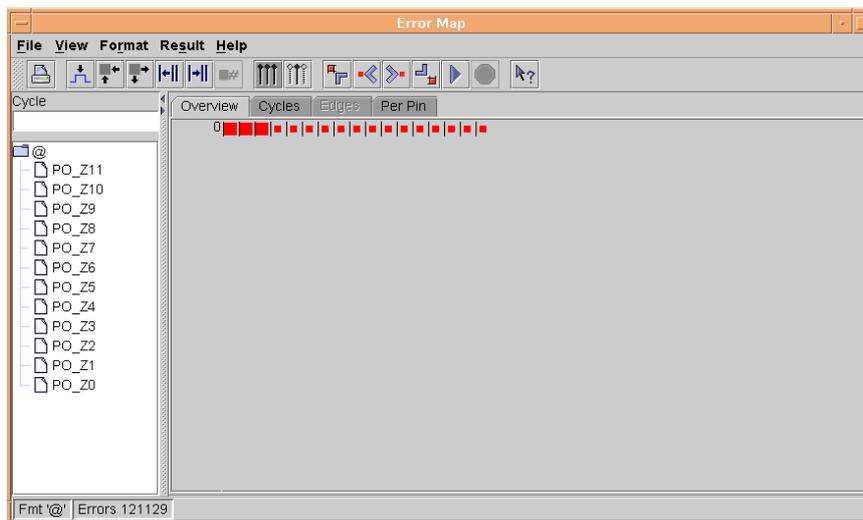


圖 42 Error Map (FAIL)

2. Timing Diagram

測試結束後，另一個用來分析波形的工具為 Timing Diagram，它可以顯示機台所產生的訊號，以及從待測晶片上所量測到的波形。在 main toolbar 中選擇 Results 這個 tab，然後點選 Timing Diagram icon，就可以開啟 Timing Diagram 這個工具(圖 43)。Timing Diagram 的視窗大小有二種固定的 size：一個是 standard size、另一種是 double size，切換的方式為 Display → double size 或 Display → standard size(圖 44)。

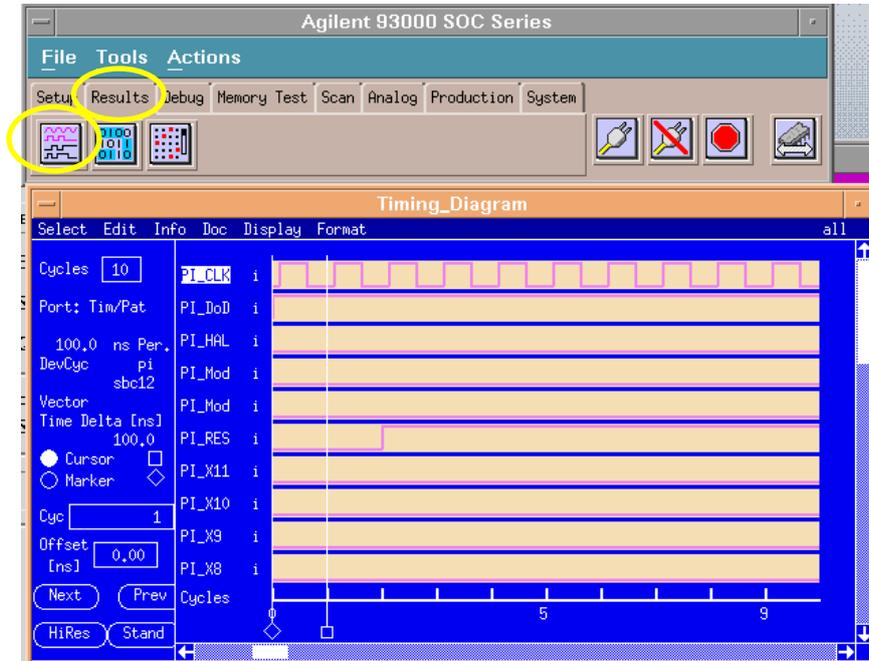


圖 43 Timing Diagram

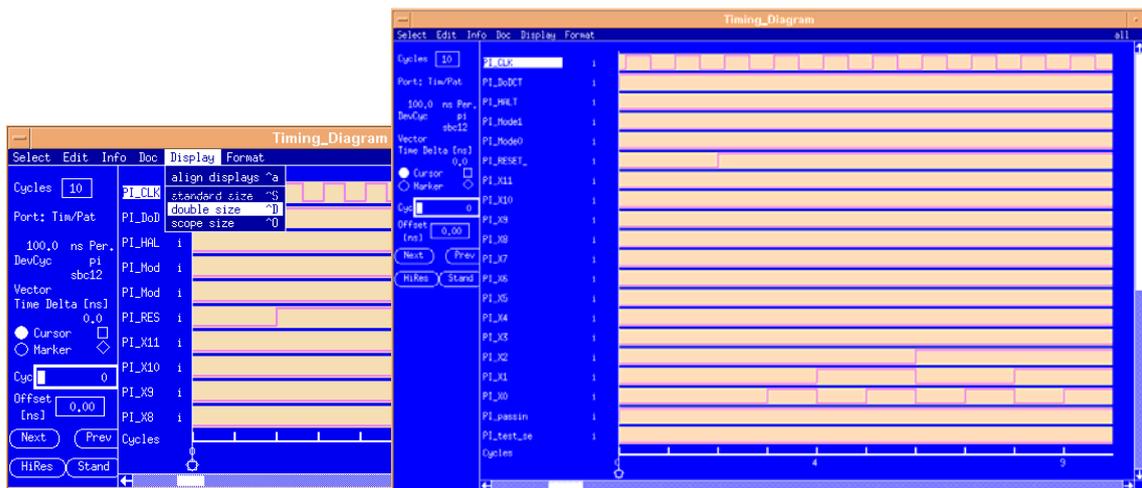


圖 44 Standard Size V.S Double Size

顯示波形有三種模式，分別是 normal、high resolution 以及 softscope(圖 45)，normal 的模式之下，從待測晶片的輸出量測到的波形，其 edge 位置時間點，會根據 timing setup 中所指定的 compare edge 所在的位置。high resolution 的模式下，訊號輸出的波形，其 edge 則會是真正發生的時間點，而 softscope 模式則是類似示波器所量測到的波形，在 softscope 模式下，可以

量到訊號的電壓值。在其他的兩個模式，只會顯示邏輯 0 與 1，不會顯示出電壓值。切換到 high resolution 的模式，方法有二種，一個是選擇 Select → high res.，一個是直接點選畫面左方的 HiRes button，切換至 normal 的模式：一個是選擇 Select → stand，或是點選畫面左方的 Stand button。切換到 softscope 模式的方法：選擇 Display → scope size，然後移動 cycle bar 到所想觀察的 cycle，再點選畫面左下方的 Scope button。另一種方式為選擇 Select → scope，然後移動 cycle bar 至想觀察的 cycle，當停止移動時，便會自動顯示出波形。

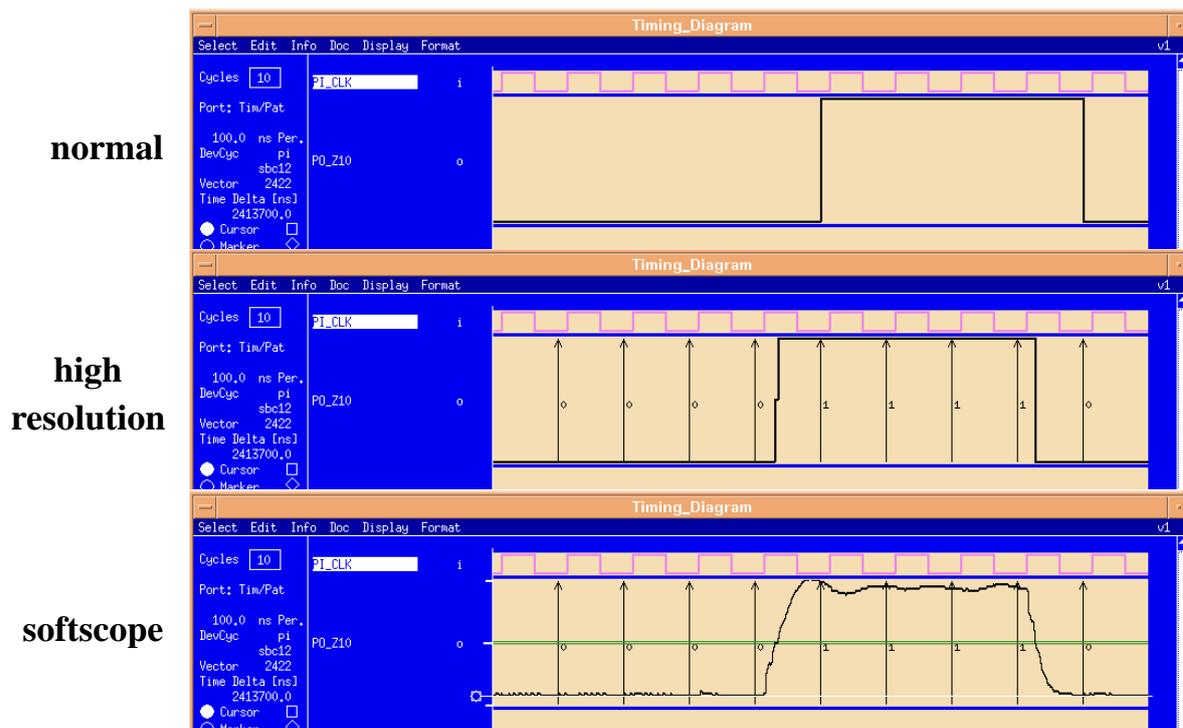


圖 45 Different Modes of Timing Diagram

3. Shmoo Plot

Shmoo plot 是一種 sweep test 所描繪出來的圖形，它通常是用來呈現一個元件在不同的條件下，所產生的不同特性。一般常用的方式是改變二個以上的參數，看看在不同的情況下，待測元件是否能夠正常工作。例如：在不同的 supply voltage，以及待測晶片不同的操作頻率，量測出二者之間的關係，便可以利用 shmoo plot 來表現。要產生 shmoo plot，必須利用 shmoo tool，針對所指定的參數，進行 sweep test。

開啟 shmoo tool 的方式為：在 SmarTest 的 main toolbar，選擇 Debug 這個 tab，然後點選 Shmoo Tool icon，會出現 Shmoo Tool 的視窗(圖 46)。在視窗中，可以開始進行設定，通常就是要設定 X-Axis 與 Y-Axis，分別是什麼參數(Resource)，以及這些參數開始的數值(Start)是多少，結束的數值(Stop)是多少，每個 step 的間隔是多少(Resolution)或從開始到結束之間，要分成多少 step(圖 47)。設定完成之後，選擇 Execution → Run，便開始進行 sweep test，針對每個參數，從開始的數值，進行測試，若是 PASS 就會顯示綠色的圖示，若是 FAIL 就會顯示紅色的圖示，每一個圖示代表一次的測試，測完一組數值之後，換下一個數值，再進行測試，直到所設定結束的數值為止(圖 48)。

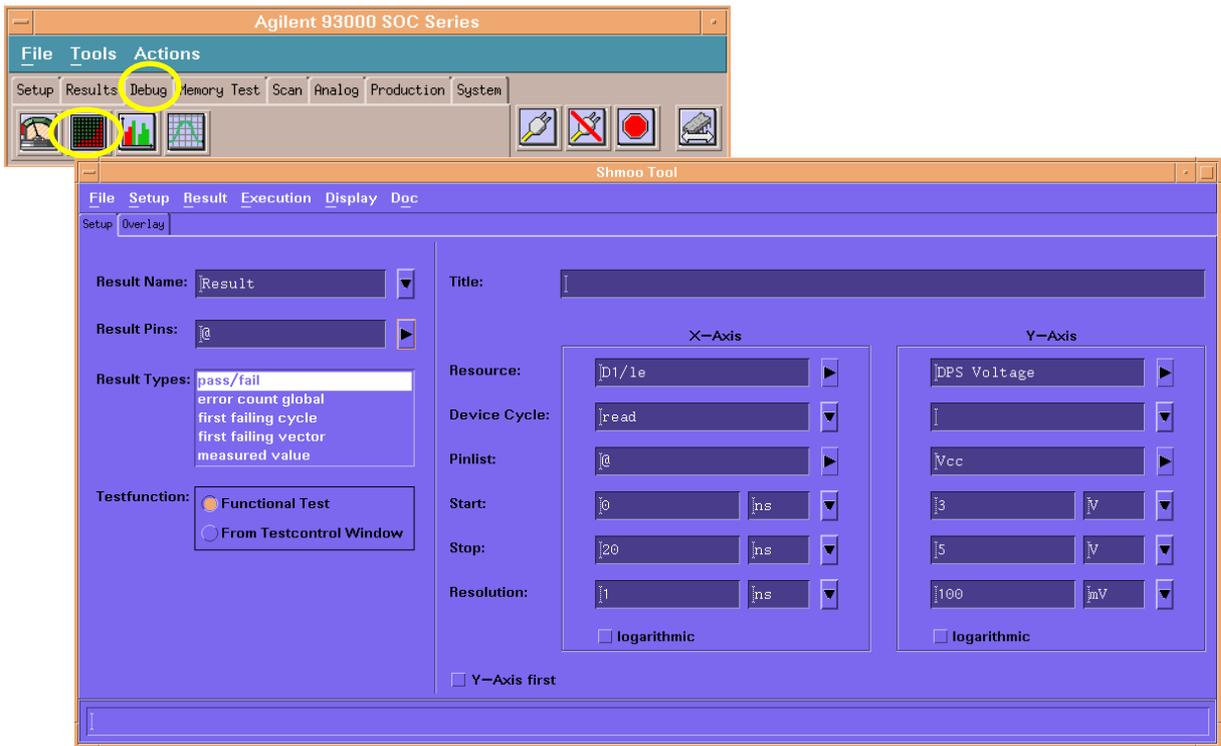


圖 46 Shmoo Tool



圖 47 Shmoo Tool (Resource Setup)



圖 48 Shmoo Plot

七、結論

本文簡介了CIC新引進的混合訊號自動測試設備，包括了機台的基本規格描述，以及如何利用機台的控制軟體，來進行數位晶片測試，藉由這篇文章，能讓讀者對CIC新的tester有基本認識。預約與使用相關須知，可在<http://www.cic.org.tw/~ate/index.htm>網頁查詢。

八、參考文獻

- [1] Agilent Technologies, "Agilent 93000 SOC Series User Training Part 1" Dec. 2002.
- [2] Agilent Technologies, "Agilent 93000 SOC Series User Training Part 1" Oct. 2004.
- [3] Agilent Technologies, "Agilent 93000 System Training ASCII Interface Training" May 2001.